

PARTEA A II-a. CIRCUITE LOGICE SECVENTIALE (CLS)

1. GENERALITATI

CLS este un echipament (iar în cazul cel mai simplu un circuit integrat) cu mai multe intrari si iesiri; în cazul cel mai frecvent, una dintre intrari se numeste *intrare de tact*. Vectorul iesirilor depinde nu numai de valoare momentana a vectorului intrarilor ci si de starea în care se afla circuitul, respectiv de succesiunea starilor prin care a trecut acest circuit. Pentru cunoasterea starii în care se afla CLS, acestea se *memoreaza* folosind unul sau mai multe circuite basculante bistabile (CBB). *Starea* CLS este caracterizata prin *variabilele de stare*.

Modificarea starii CLS are loc în momente sau intervale de timp determinate de un semnal de tact (ceas, *clock*, CLK, CK). Un semnal de tact este format din impulsuri dreptunghiulare cu perioada de repetitie constanta.

CLS își pot modifica starea pe *front* sau *palier*. Semnalul de tact se considera:

- **activ pe "1"** daca modificarea starii CLS se face pe frontul crescator al impulsului de tact *sau* pe întreaga durata a acestuia.
- **activ pe "0"** atunci când modificarea starii circuitului se face pe frontul scazator al impulsului *sau* pe durata pauzei dintre doua impulsuri de tact.

Semnalul de tact din figura 2.1 este activ pe front, T_i este durata impulsului de tact iar T este perioada semnalului.

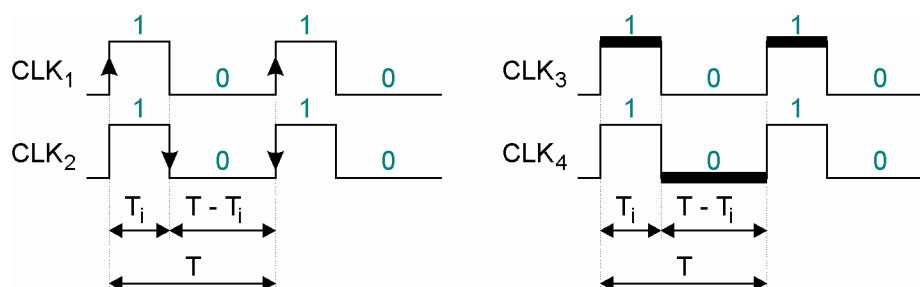


Figura 2.1. Semnal de tact activ pe front crescator (CLK1), scazator (CLK2), pe palier 1 (CLK3) si 0 (CLK4).

Cel mai simplu CLS este circuitul basculant bistabil CBB. Starea acestuia este caracterizata printr-o *variabila de stare* notata Q .

2. CIRCUITE BASCULANTE BISTABILE (CBB)

Daca un bistabil are prevazuta o intrare de tact îl vom numi în continuare bistabil secvential sau sincron, sau pe scurt *bistabil*, iar daca nu are o asemenea intrare va fi denumit bistabil asincron, nesecvential sau *latch*. Exista si se folosesc urmatoarele tipuri de bistabile si latch-uri: SR, D, JK si T.

În tehnologie TTL se fabrica urmatoarele tipuri de latch-uri: 74LS256, 74LS259, 74LS373, 74LS375, 74LS75, iar CMOS: 4042, 4043, 4044, 4508.

În tehnologie TTL se fabrica urmatoarele tipuri de bistabile: 74107, 74109, 74112, 74173, 74174, 74175, 74273, 74374, 74377, 74378, 7473, 7476, , iar CMOS: 4013, 4027, 4076.

2.1. Circuite basculante bistabile de tip S-R

2.1.1. Latch-ul S-R (Set-Reset) cu porti SI-NU

Este cel mai simplu CLS si CBB, utilizat pentru memorarea unui bit de informatie (figura 2.2). Este alcatuit din doua porti SI-NU care formeaza un latch /R-/S si eventual doua inversoare care formeaza circuitul de intrare pentru intrari active SUS.

Pentru latch, S si R sunt *variabile de intrare*, iar Q este *variabila de stare*.

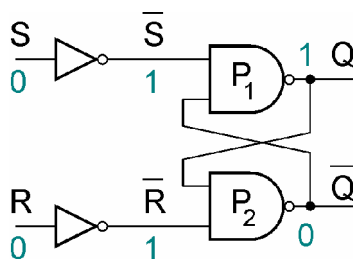


Figura 2.2. Latch SR.

Circuitul din dreapta cuprinde doua porti incluse într-o bucla de reactie pozitiva. Presupunând ca P_1 si P_2 functioneaza ca inversoare, bucla de reactie este activa doar atunci când cele doua porti functioneaza simultan în zona de tranzitie a caracteristicii de transfer. În aceasta zona amplificarea în valoare absoluta este: $\frac{du_0}{du_i} \gg 1$. Portile P_1 si P_2 efectueaza o amplificare numai în zona de tranzitie. În celelalte zone amplificarea este nula, bucla de reactie nu este activa si ansamblul format din P_1 si P_2 este într-o stare stabila.

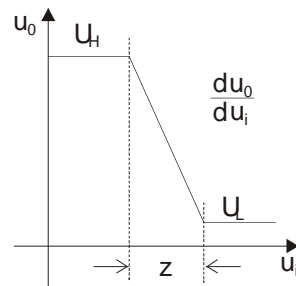


Figura 2.3. Caracteristica de transfer a inversorului.

Modificarea starii Q a unui latch SR se realizeaza prin modificarea variabilelor de intrare S si R . Daca presupunem ca initial $Q = 1$ si $S = R = 0 \Rightarrow \bar{Q} = 0$, iar aceasta stare se mentine un timp nedefinit. Similar, daca presupunem ca pentru $S=R=0$ si initial $Q = 0 \Rightarrow \bar{Q} = 1$. Combinatia $S = 1$ si $R = 0$ determina $Q = 1$ (setarea latch-ului), iar combinatia $S = 0$ si $R = 1$ determina $Q = 0$ (stergera latch-ului).

Functionarea este reflectata de un tabel de functionare, care prezinta care va fi valoarea noua valoare a lui Q , notata Q^* în functie de vechea valoare Q si valorile logice ale variabilelor de intrare S si R . Combinatia $S = R = 1$ este interzisa deoarece determina aparitia egalitatii tensiunilor la iesire $Q = nQ = 1$, iar dupa înlaturarea acestei combinatii si trecerea de exemplu la intrare la valorile $S = R = 0$, iesirile se vor gasi într-o stare nedeterminata, influentata de procesul tehnologic, diferentele dintre P_1 si P_2 , etc.

Tabelul 2.1.

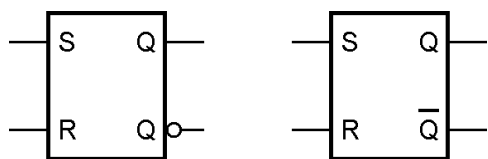


Figura 2.4. Latch-ul SR, reprezentare simbolica.

Functionarea latch-ului RS

S	R	Q^*	Explicatie
0	0	Q	nici o modificare
0	1	0	Q sters
1	0	1	Q setat
1	1	combinatie interzisa	$Q = nQ = 1$ si apoi Q aleator

La reprezentarea tuturor CBB este important de respectat urmatoarea regula: notând iesirea \bar{Q} cu un cerculet, în interiorul bistabilului se trece doar Q , în nici un caz tot \bar{Q} .

2.1.2. Latch-ul S-R cu porti SAU-NU

Latch-ul S-R poate fi realizate si cu porti SAU-NU. Trebuie remarcat ca în acest caz semnalele S si R sunt active SUS, iar pentru poarta cu iesirea Q intrarea corespunzatoare este R si nu S sau nS , asa cum se întâmpla la latch-ul SR.

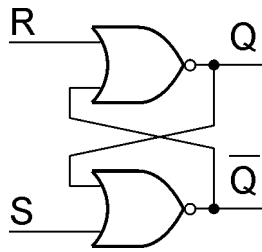


Figura 2.5. Latch SR cu porti SAU-NU.

2.1.3. Aplicatie: circuit simplu de alarma cu latch S-R

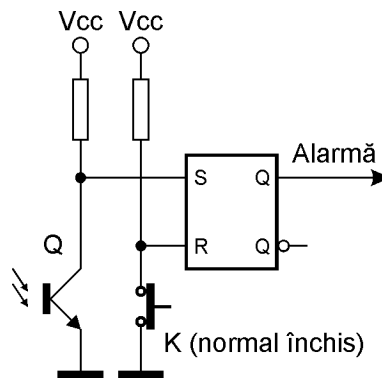


Figura 2.6. Schema simplificata pentru alarma.

Descrierea functionarii

Initial se sterge latch-ul, apăsând K . În funcționare normală, fototranzistorul Q este permanent luminat, astfel încât $S = 0$, K este închis deci $R = 0$ iar Alarma = 0. La întreruperea razelor de lumina, rezistența fototranzistorului este foarte mare, S devine 1 iar Alarma este 1. Indiferent de restabilirea căii razelor luminoase, alarma va fi acționată până la o apăsare a lui K .

2.1.4. Aplicatie: eliminarea comutarilor false cu latch-ul S-R

Descrierea functionarii

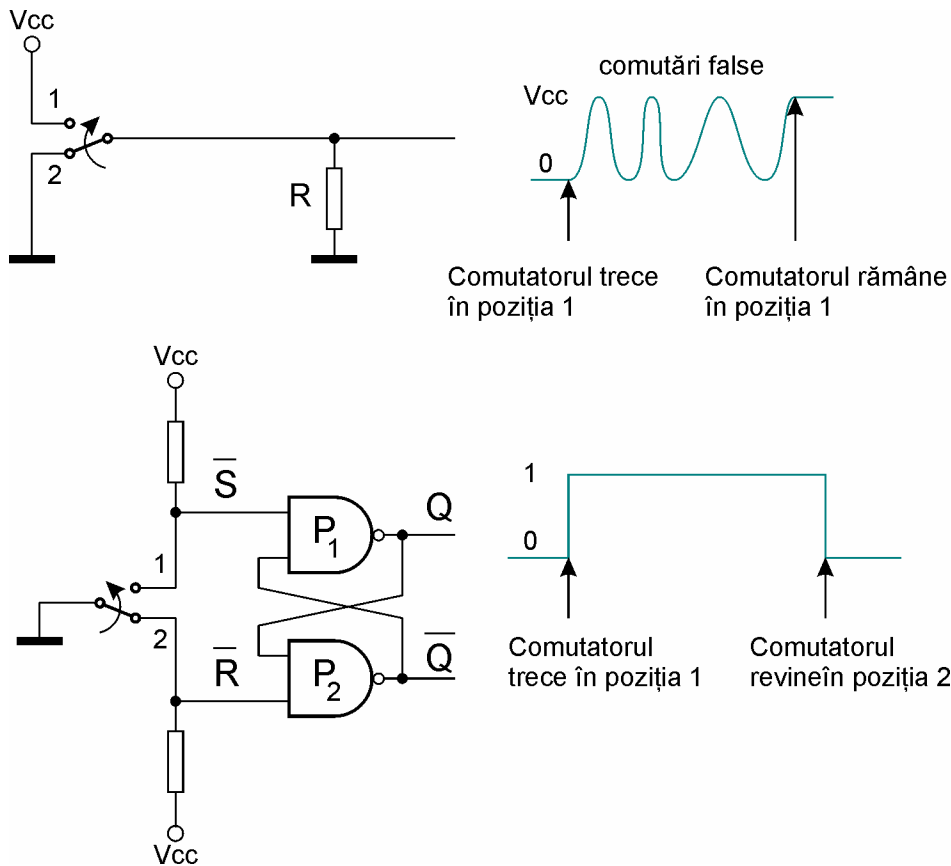


Figura 2.7. Eliminarea comutarilor false.

2.1.5. Latch-ul S-R cu intrare de comanda

Are o intrare suplimentara de comanda (sau *validare*), care poate fi privita atât ca intrare de tact (CK), cât si ca intrare de validare (EN). Latch-ul S-R cu intrare de comanda EN poate fi utilizat si in aplicatii nesequentiale, în acest caz la intrarea de comanda EN se aplica niveluri logice neperiodice.

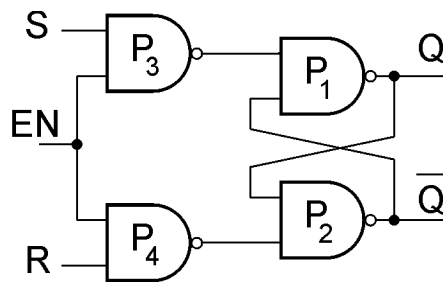


Figura 2.8. Latch SR cu intrare de comanda.

În cazul functionarii secventiale, modificarea starii latch-ului se poate face pe toata durata T_i a impulsului de comanda. Daca datele de intrare sunt modificate pe intervalul T_i , aceste modificari se reflecta imediat în valorile lui Q si \bar{Q} ca în cazul unui latch SR obisnuit. Modificarea lui S si R se poate face si în intervalul dintre cele doua impulsuri succesive, când aceste modificari nu se transmit la iesirile Q si \bar{Q} , deoarece $EN = 0$ face ca iesirile portilor P_3 si P_4 sa fie pe "1" indiferent de faptul ca R sau S se modifica. Starea variabilelor de intrare si iesire înainte de aplicarea impulsului $n + 1$ de tact se noteaza cu S_n, R_n si Q_n , iar dupa aplicarea impulsului $n + 1$ de tact se noteaza cu S_{n+1}, R_{n+1} si Q_{n+1} . Nici acest latch nu poate fi folosit în aplicatii în care poate apare combinatia $S = R = 1$.

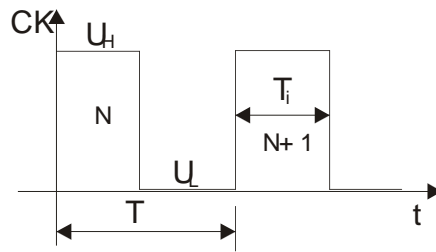


Figura 2.9. Caracteristicile semnalului de tact.

Tabelul 2.2.

Tabel de functionare pentru latch-ul SR, cazul $EN = 1$

S_n	R_n	Q_{n+1}	Comentarii
0	0	Q_n	nici o modificare
0	1	0	Q sters
1	0	1	Q setat
1	1	<i>combinatie interzisa</i>	conduce la $Q = \bar{Q} = 1$

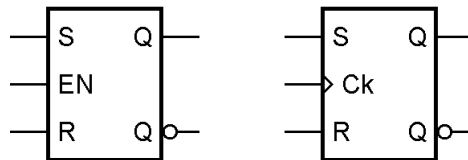


Figura 2.10 – Latch-ul SR si bistabilul SR, reprezentare simbolica.

2.1.6. Metode de generare a semnalului de tact activ pe front

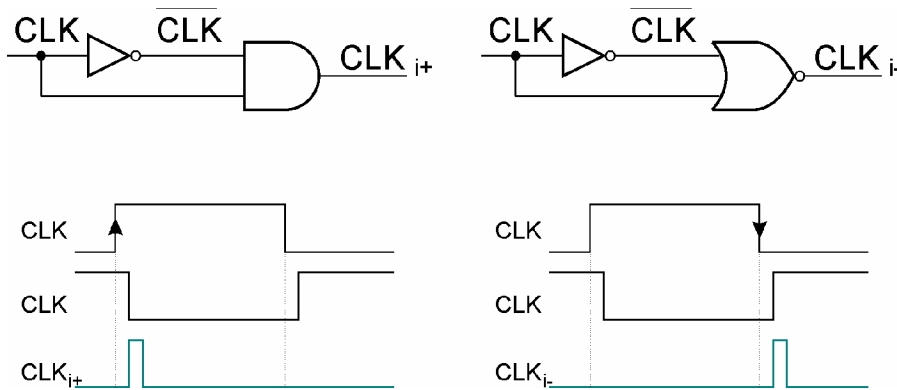


Figura 2.11. Tact activ pe front crescator (stânga), respectiv descrescator (dreapta).

Datorita performantelor dinamice superioare si a comoditatii utilizarii, în sistemele sincrone moderne se folosesc cu precadere bistabile *actionate pe front*. Acest tip de comutare foloseste doua scheme simple de detectoare de fronturi, una pentru fontul crescator si alta pentru frontul descrescator. Desi impulsul generat are o latime mica, tipic de durata egala cu timpul de propagare, impulsurile generate intern CLK_{i+} si CLK_{i-} sunt suficiente pentru a declansa circuitele comandate.

2.1.7. Particularitati dinamice cu privire la utilizarea bistabilelor comutate pe front

Pentru functionarea corecta a bistabilelor D si JK comutate pe front este necesara respectarea a doua intervale de timp care se numesc:

- timpul de (pre)stabilire (*setup time*) - t_{su}
- timpul de mentinere (*hold time*) - t_h .

t_{su} - este intervalul (durata minima) dintre momentul atingerii unei valori stabile a nivelului logic la intrarea de date si momentul aplicarii frontului activ al impulsului de tact.

t_h - reprezinta durata minima în care valoarea stabila a nivelului aplicat la intrarea de date trebuie mentinuta dupa aparitia frontului activ a impulsului de tact.

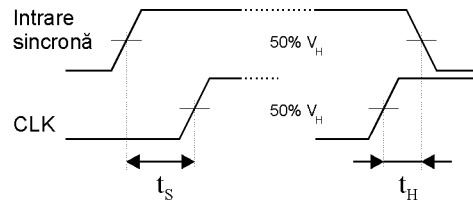


Figura 2.12. Definirea timpului de stabilire si de mentinere.

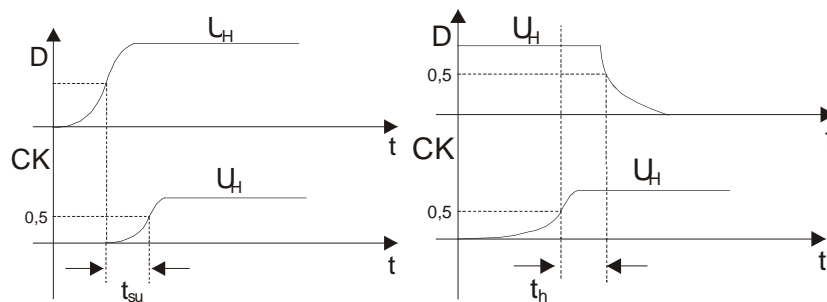


Figura 2.13. Definirea timpului de stabilire si de mentinere pentru bistabilul D comandat pe front crescator.

Pentru circuitele TTL uzuale, timpul de stabilire este cuprins între 5 si 50 ns, iar timpul de mentinere între 0 si 10 ns. Daca nu se respecta acesti timpi, functionarea bistabilului este imprezibila dupa aplicarea frontului activ al impulsului de tact (pot apare oscilatii, comportari metastabile sau în caz fericit o stare stabila nedeterminata).

2.1.8. Bistabilul SR comandat pe front

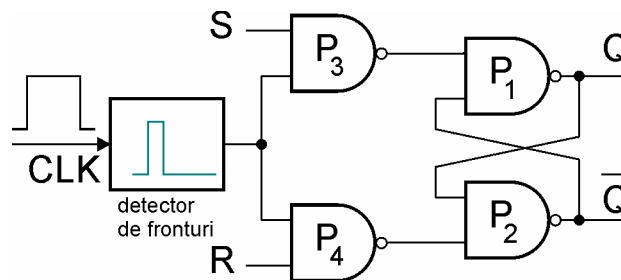


Figura 2.14. Bistabil SR comandat pe frontul crescator al semnalului de tact – schema functionala.

Descrierea functionarii

Deoarece semnalul intern de tact CLK_{i+} este activ câteva nanosecunde, modificarea nivelului logic la S sau R poate afecta iesirea Q doar scurt timp înainte si dupa de frontul crescator al semnalului de tact CLK – aceasta comportare determina comanda *pe front* a bistabilului. Simbolul acestui bistabil este dat în figura 2.10 – dreapta.

2.1.9. Tema

1. Pentru secventa de impulsuri prezentata mai jos, se cere sa se deseneze variatia iesirii Q pentru un latch SR.
2. Pentru aceeasi secventa de impulsuri, se înlocuieste EN cu CLK - se cere sa se deseneze variatia iesirii Q pentru un bistabil SR.
3. Explicati diferenta dintre comportari.

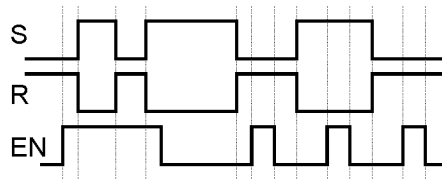


Figura 2.15. Diagrame de semnal pentru problema 2.1.9.

2.1.10. Bistabilul SR Master Slave

Acest tip de bistabil nu elimina nedeterminarea pentru $S_n = R_n = 1$ așa cum se întâmplă în cazul bistabilului JK-MS. Structura sa este inspirată din cea a bistabilului JK MS, cu deosebirea că nu există două bucle de reacție globală de la cele două ieșiri Q și \bar{Q} la intrare. Pentru realizarea acestui bistabil se pot folosi două latch-uri SR cu intrare de comandă (figura 2.7). Acest bistabil își comută ieșirile pe frontul scăzător al impulsului de tact.

La aplicarea tactului, primul bistabil funcționează după tabelul 2.2, ieșirile (Q_M, \bar{Q}_M) se poziționează după valorile din tabel. Informația înmagazinată la începutul semnalului de tact și pe durata lui nu este transmisă bistabilului S deoarece \bar{CK} este pe intervalul T_i și bistabilul al II-lea Slave este zavorât.

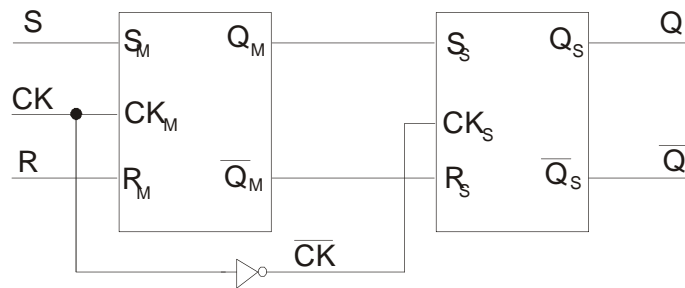


Figura 2.16. Bistabilul SR – MS, schema electrică.

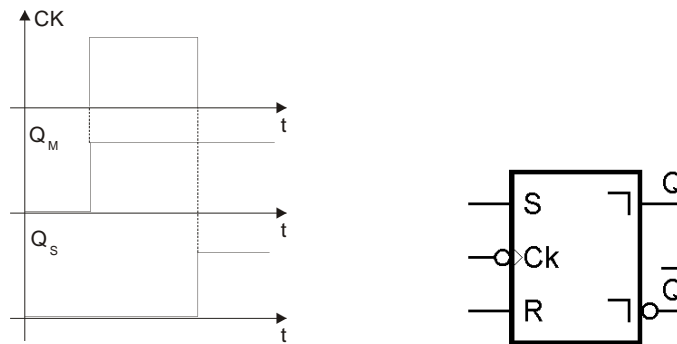


Figura 2.17, 2.18. Diagrame de semnal și reprezentare simbolică.

2.2. Circuite basculante bistabile de tip JK

2.2.1. Bistabilul JK cu intrare de tact și restricție temporală

În continuare vom analiza o topologie pentru bistabilul JK derivată din cea a latch-ului RS și obținută prin adăugarea unei bucle de reacție de la ieșiri la intrări, dar restricționată sever temporal pentru o funcționare corectă (durata impulsului de tact trebuie să fie mai mică decât timpul de propagare prin bistabil: $T_i < t_p = 2t_{pSI-NU}$).

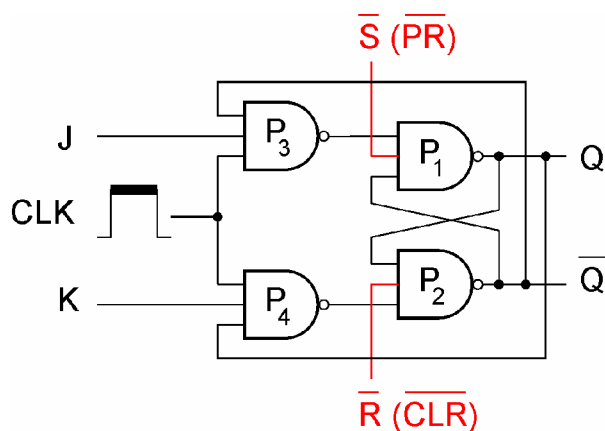


Figura 2.19. Bistabilul JK, schema electrica pentru varianta initiala.

Principalele deosebiri fata de latch-ul RS:

- intrarile de date se noteaza cu J si K , litere fara o anumita semnificatie, dar adiacente în alfabet.
- starea iesirilor portilor P_3 si P_4 depinde nu numai de intrarile de date ci si de starea latch-ului $\overline{S} - \overline{R}$, circuitul fiind prevazut cu o reactie globala de la iesiri la cele doua porti din circuitul de intrare.
- Sunt prevazute si doua intrari asincrone prioritare pentru stabilirea starii initiale /PR (Preset), /CLR (Clear).

Functionarea: Reprezentarea tabelului de functionare se face analizând functionarea circuitului pentru fiecare combinatie a lui J_n , K_n si Q_n

$$Q_{n+1} = f(J_n, K_n, Q_n)$$

În tabel se trece si /Qn pentru a facilita analiza functionarii. $\overline{PR} = \overline{CLR} = 1$

Tabelul 2.3.

Functionarea bistabilului JK din figura 2.15 pentru $T_i < t_p$

J_n	K_n	Q_n	\overline{Q}_n	Q_{n+1}	
0	0	0	1	0	Q_n
0	0	1	0	1	
0	1	0	1	0	0
0	1	1	0	0	
1	0	0	1	1	1
1	0	1	0	1	
1	1	0	1	1	\overline{Q}_n
1	1	1	0	0	

Analiza se bazeaza pe faptul ca iesirea unei porti SI-NU din circuitul de intrare este pe 1 daca cel puțin o intrare a sa este pe 0. Starea bistabilului /S-/R se poate modifica numai daca cel puțin una dintre iesirile portilor P_3 si P_4 este 0. Pentru $J_n = K_n = 0$, aplicarea impulsului CLK_{n+1} nu modifica starea bistabilului JK.

Se constata ca pentru J_n si K_n egale simultan cu 1 starea bistabilului este complementata la fiecare semnal de tact. Aceasta afirmatie, care presupune eliminarea nedeterminarii, nu e valabila decât în conditia în care durata impulsului de tact e mai mica decât un timp de propagare, t_p reprezentând timpul de propagare de la oricare intrare la orice iesire: $T_i < t_p$, $t_p = 2t_{p_{SI-NU}}$

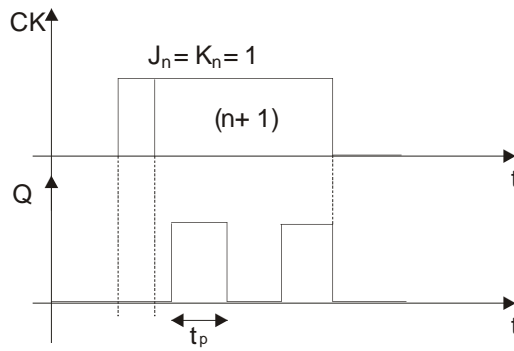


Figura 2.20. Bistabilul JK, diagrame de semnal (cu referire la figura 2.19).

Neglijam durata fronturilor, dar nu si timpii de propagare. Daca iesirea Q a fost pe 0, dupa trecerea timpului t_p , Q trece pe 1. Daca $T_i < t_p$ atunci aceasta este starea finala a bistabilului. Daca T_i are însa o durata mai mare, atunci dupa scurgerea a înca unui t_p , Q trece din nou în 0, si asa mai departe, pâna când CLK devine 0. În acest caz apar oscilatii la iesire si nu se poate preciza starea finala a bistabilului.

Ecuatia caracteristica a bistabilului J-K, în ipoteza eliminarii nedeterminarii, în conformitate cu tabelul este:

$$Q_{n+1} = f(J_n, K_n, Q_n)$$

$$Q_{n+1} = \bar{J}_n \bar{K}_n Q_n + J_n \bar{K}_n \bar{Q}_n + J_n \bar{K}_n Q_n + J_n K_n \bar{Q}_n$$

$$Q_{n+1} = J_n \bar{Q}_n (\bar{K}_n + K_n) + \bar{K}_n Q_n (\bar{J}_n + J_n)$$

În final, se obtine urmatoarea expresie pentru ecuatia caracteristica:

$$Q_{n+1} = J_n \bar{Q}_n + \bar{K}_n Q_n$$

2.2.2. Bistabilul JK comandat pe front

Bistabilul JK a fost creat din dorinta de a elimina nedeterminarea produsa la latch-ul si bistabilul SR de combinatia $S = R = 1$. În cazul bistabilului JK, combinatia $J = K = 1$ conduce la complementarea iesirii dupa prima tranzitie activa a semnalului de tact (*toggle*). Literele J si K folosite pentru notarea intrarilor nu au o semnificatie specifica, ele sunt doar alaturate în alfabet.

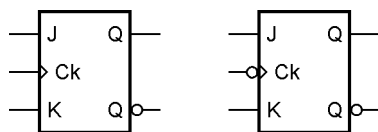


Figura 2.21. – Reprezentare simbolica pentru bistabilul JK comandat pe front crescator (stânga) si descrescator (dreapta).

Tabelul 2.4

Tabel de functionare pentru bistabilul JK comandat pe front

J	K	Q_{n+1}	Explicatie
0	1	0	Q sters
1	0	1	Q setat
0	0	Q_n	(nici o modificare)
1	1	\bar{Q}_n	(complementare)

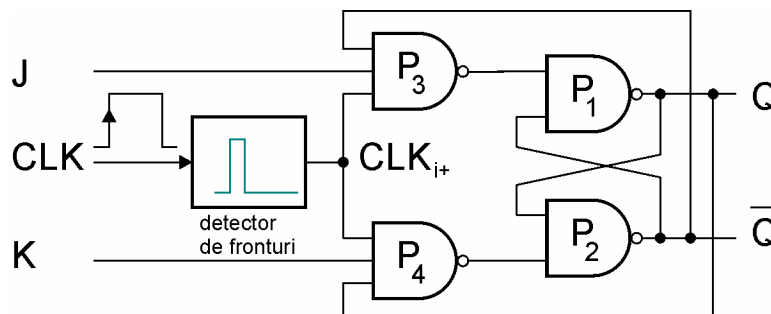


Figura 2.22. – Bistabil JK comandat pe front crescator – schema simplificata.

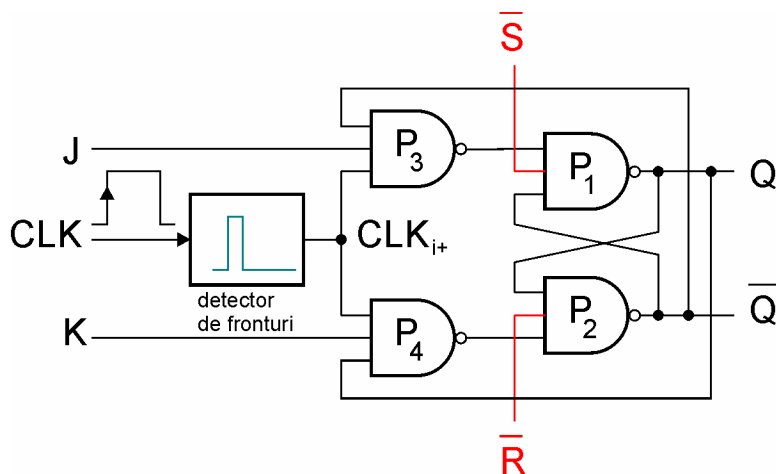


Figura 2.23. – Bistabil JK cu intrari de comanda asincrone prioritare.

Tabelul 2.5.

Efectul intrarilor asincrone prioritare

\bar{S}	\bar{R}	Q	Comentarii
0	1	1	setare bistabil
1	0	0	stergere bistabil
1	1	Q	functionare normala, sincrona (nici un efect)
0	0	<i>combinatie interzisa</i>	conduce la $Q=\bar{Q}=1$, apoi la nedeterminare

Intrarile *asincrone prioritare* notate cu \bar{S} si \bar{R} care servesc la initializarea starii bistabilului inaintea sau in timpul functionarii secventiale. *Asincrone* – nu exista nici o sincronizare intre aceste semnale si impulsurile de tact, ele sunt *prioritare* - determina starea bistabilului, daca sunt active si nu intrarile J, K.

2.2.3. Aplicatie

Bistabilul JK comandat pe front poate fi folosit pentru determinarea ordinii a doua semnale I_1 si I_2 (figura 2.23).

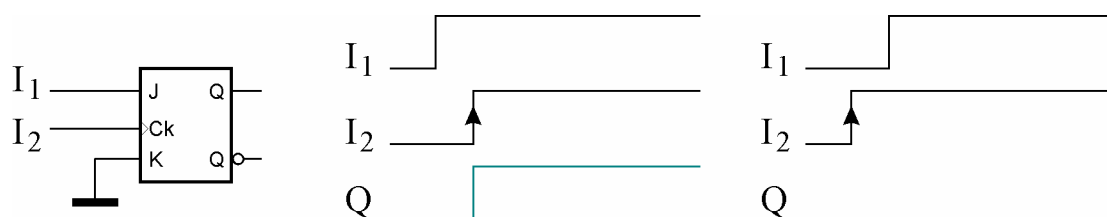


Figura 2.24. – Bistabilul JK folosit pentru determinarea ordinii semnalelor I_1 si I_2 .

2.2.4. Bistabilul JK Master-Slave (JK MS)

Si acest tip de bistabil asigura eliminarea nedeterminarii starii Q_{n+1} pentru combinatia $J_n = K_n = 1$. In acest scop reactia globala de la iesiri la intrari este intrerupta pe durata impulsului de tact. Din acest motiv, oscilatiile care apar la iesirea bistabilului JK prezentat anterior si care duc la o stare nedeterminata a lui Q_{n+1} nu vor mai avea loc.

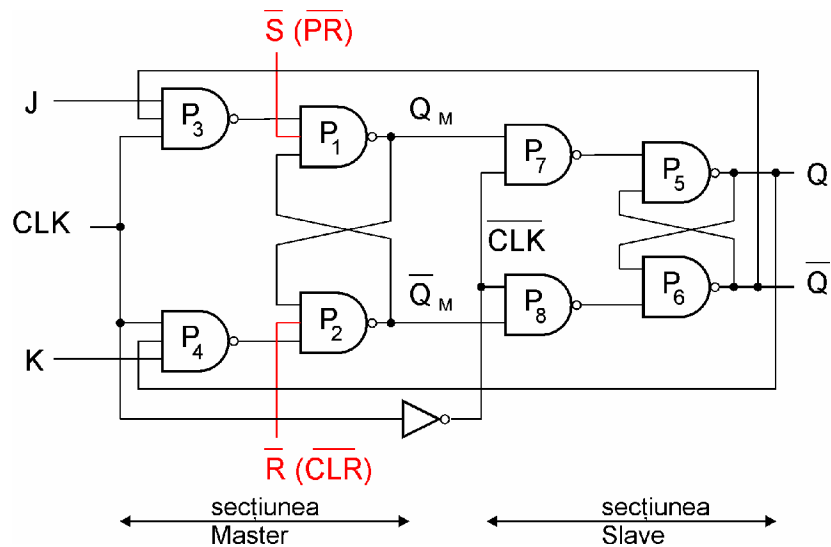


Figura 2.25. – Bistabil JK Master-Slave, schema electrica.

Comunicarea între secțiunea Master și cea Slave este dirijată de porțile P_1 și P_2 prin intermediul semnalului de tact negat, \overline{CLK} .

Atât timp cât $CLK = 1$, rezulta $\overline{CLK} = 0$, ceea ce împiedică transmiterea lui Q_M și \overline{Q}_M la secțiunea Slave. Prin aceasta se întrerupe bucla de reacție globală ieșire-întare pe toată durata impulsului de tact, evitând apariția oscilațiilor observate la bistabilul JK din figura 2.15 și asigurându-se o funcționare corectă după tabelul de funcționare pentru orice durată a impulsului de tact.

În momentul apariției impulsului de tact $n + 1$ se modifică starea Q_n în conformitate cu tabelul de funcționare, această informație nefiind transmisă spre ieșire prin secțiunea Slave datorită inhibării P_7 și P_8 de către \overline{CLK} pe durata impulsului de tact.

După terminarea palierului impulsului de tact, începând cu frontul sau scazător (crescător pe \overline{CLK}) informația Q_M se va transmite la ieșirile Q (Q_S).

Reprezentarea diagramelor de timp nu ține seama de t_p . Funcționarea decurge după tabelul 2.3. Ecuația caracteristică este și în acest caz:

$$Q_{n+1} = J_n \overline{Q}_n + \overline{K}_n Q_n$$

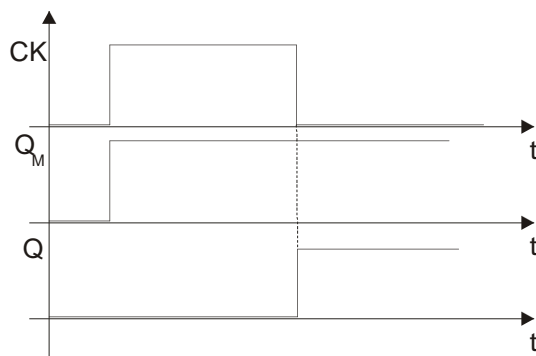


Figura 2.26. Bistabilul JK MS, diagrame de semnal (se neglijează t_p).

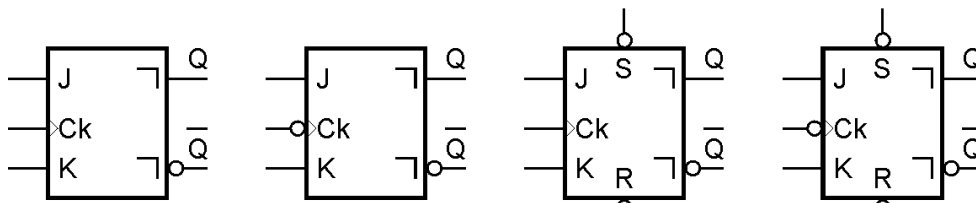


Figura 2.27. Bistabilul JK MS, simboluri pentru diferite variante de realizare.

2.3. Circuite basculante bistabile de tip D

O largă utilizare o au bistabilele D (*Delay*) și T (*Toggle*).

Aceste bistabile utilizează tot unul dintre tipurile de bistabile de baza văzute mai înainte. Numai că bistabilele D și T sunt forțate să funcționeze doar într-o zonă limitată a tabelului de funcționare ce corespunde bistabilelor SR respectiv JK.

D – *Delay* (sau *Data*) – se pot realiza folosind bistabile SR sau bistabile JK de orice tip, ele funcționează doar în zona tabelului de funcționare $S = \bar{R}$, respectiv $J = \bar{K}$

T – *Toggle* – își comută ieșirile la fiecare impuls aplicat, el funcționează în zona $J = K = 1$. Se pot realiza folosind bistabile JK-MS sau bistabile D transformate în bistabile T.

Bistabile D, clasificare:

- D-latch
- bistabile D comutate pe frontul scazator al impulsului de tact.
- bistabile D comutate pe frontul crescator al impulsului de tact.

2.3.1. Latch-ul D

Latch-ul D este asemănător cu latch-ul SR care este utilizat pentru memorarea unui bit de informație. Ca și în toate bistabilele D acest bistabil realizat din SR funcționează cu restricția că S trebuie să fie întotdeauna complementul lui R sau invers.

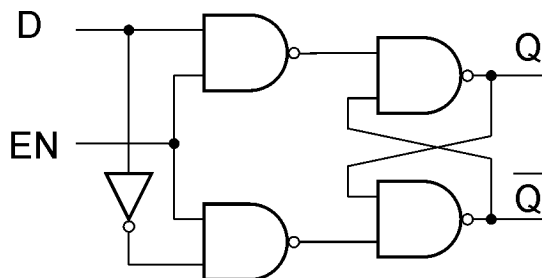


Figura 2.28 – Latch D, schema electrică.

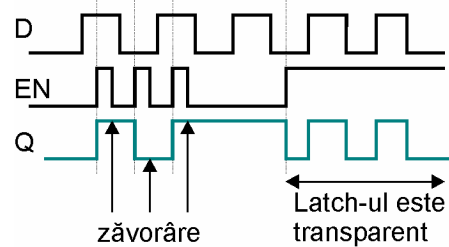


Figura 2.29 – Latch D, diagrame de semnal.

Descrierea funcționării

Pentru $EN = 1$, $Q = D$ (latch-ul este *transparent*). La tranziția $1 \rightarrow 0$ a intrării EN, latch-ul zăvorăște ultima valoare a lui D, memorând-o până când EN se modifică din nou.

Tabelul 2.6.

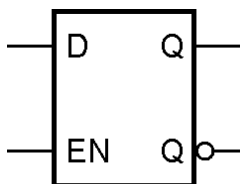


Figura 2.30 – Latch D, simbol.

Funcționarea latch-ului D

EN	D	Q*
0	0	Q_{ant}
0	1	Q_{ant}
1	0	0
1	1	1

În prezent se fabrica în tehnologie TTL: 74LS75 – Latch cvadruplu, 74LS373 – latch octal des folosit, 74LS573 idem 373 dar cu o dispunere mai avantajoasa a intrarilor si iesirilor.

2.3.2. Aplicatie: Registrul de memorare cu latch-uri D

Un latch D poate memora un bit de informatie, iar n latch-uri pot fi utilizate pentru memorarea unui cuvânt cu n biti într-un moment determinat prin aplicarea unui impuls scurt de tip STROBE la intrarile EN ale latch-urilor.

Magistrala de date pe n biti:

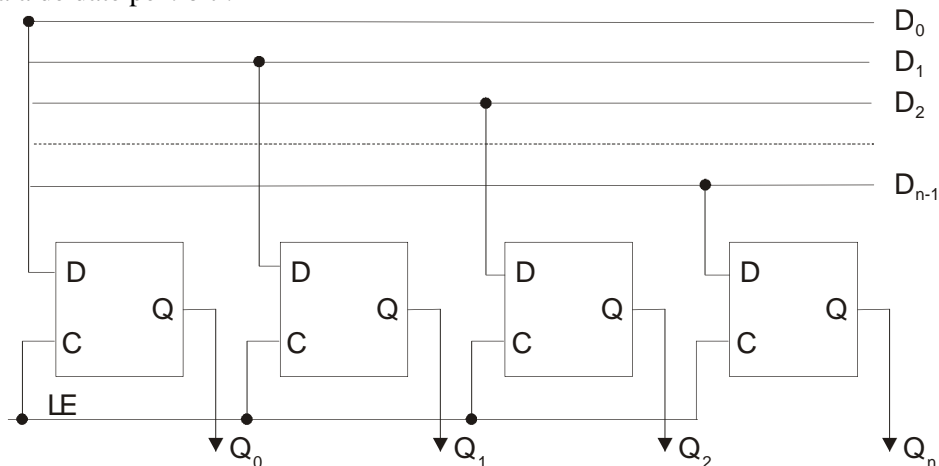


Figura 2.31. Registrul de memorare cu latch-uri D.

Fiecare latch din figura de mai sus va memora un bit din magistrala de date în momentul în care LE la tranzitia $1 \rightarrow 0$ a semnalului LE.

2.3.3. Bistabilul D comutat pe frontul scazator al impulsului de tact

Acest tip de bistabil se poate realiza:

- a. folosind fie un bistabil SR-MS, fie un bistabil JK-MS (figura 2.26)

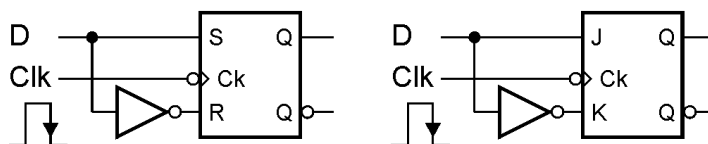


Figura 2.32. Bistabil D comandat pe front scazator din SR MS si JK MS.

- b. folosind un latch D

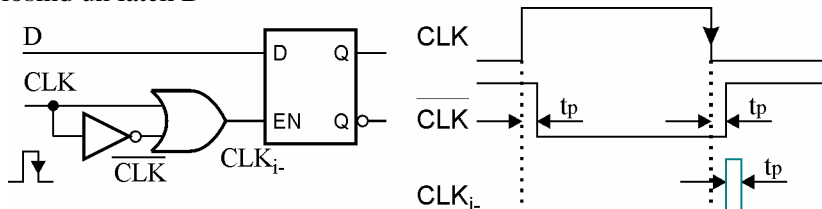


Figura 2.33. Bistabil D comandat pe front scazator din D latch si diagrame de semnal.

Reprezentarea simbolica este data în figura 2.35. *Descrierea functionarii*

2.3.4. Aplicatie: Conditionarea si sincronizarea semnalului de tact

Echipamentele numerice sunt în general *sincrone*, în sensul ca diferitele semnale interne variaza sincron în raport cu un semnal global de tact. Exista însa situatii în care trebuie prelucrate semnale externe *asincrone*, generate de exemplu de un operator uman. Defazajul temporal între aceste semnale si tactul sistemului este aleator, iar daca nu se iau masuri de sincronizare, conditionarea unui semnal sincron cu un semnal asincron poate produce rezultate imprevizibile.

Cazul cel mai frecvent de conditionare este cel prezentat în figura 2.33. Operatorul uman actioneaza aleator asupra unui comutator ale carui oscilatii mecanice sunt eliminate asa cum s-a aratat de exemplu la §2.1.4. Desi semnalul din punctul A este „curat” din punct de vedere al oscilatiilor, el este asincron fata de semnalul de tact, iar la iesirea portii SI se obtin si impulsuri de tact incomplete.

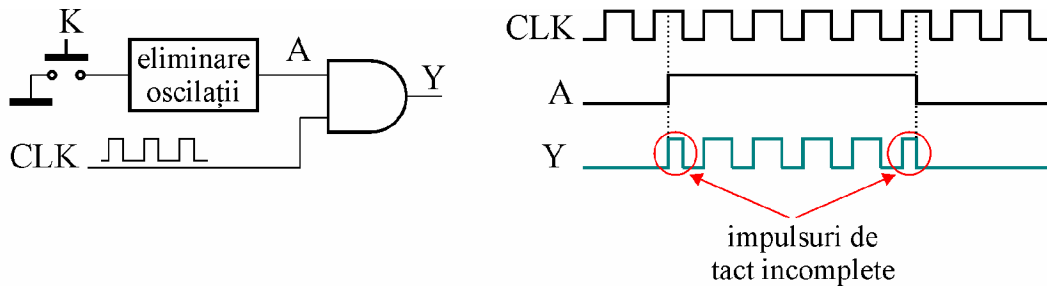


Figura 2.34. Conditionarea semnalului de tact printr-o poarta SI.

Rezolvarea problemei descrise anterior este data în figura 2.34. Utilizând un bistabil D comandat pe front scazator, semnalul Q la iesirea acestuia este simultan *sincronizat* cu semnalul de tact si *conditionat* de intrarea A, astfel încât la iesirea Y se obtin doar impulsuri de tact *complete*.

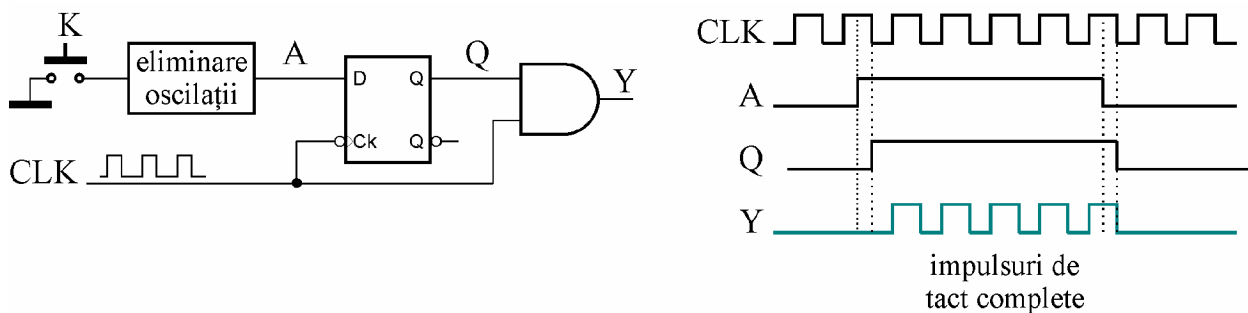


Figura 2.35. Sincronizarea semnalului de tact cu un bistabil D comandat pe front scazator si o poarta SI.

2.3.5. Bistabile D comutate pe front crescator

Varianta 1 Este realizat dintr-un latch D la care se adauga un detector de fronturi.

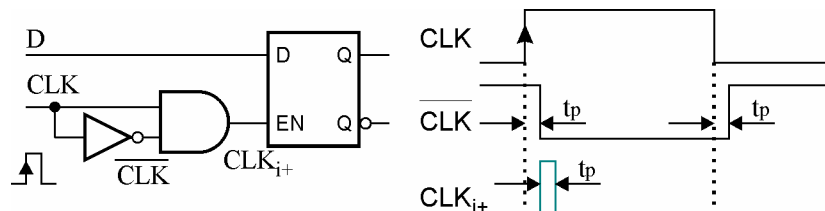


Figura 2.35. Bistabil D comandat pe front crescator din D latch si diagrame de semnal.

Bistabilul D-latch este validat pe o durata scurta plasata imediat dupa frontul crescator al semnalului de tact. Reprezentarea simbolica este data în figura 2.35.

Tema. Reprezentati cronogramele pentru acest caz.

Varianta 2 Foloseste 2 latch-uri D si 1 inversor:

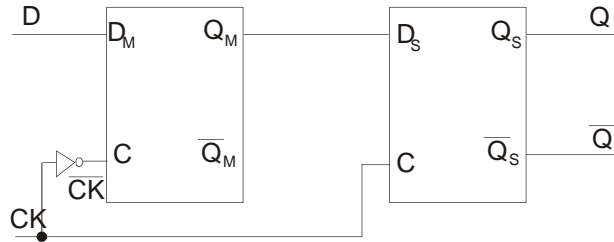


Figura 2.36. Bistabil D comandat pe front crescator din doua latch-uri D.

Functionarea este ilustrata de diagramele de timp (se reprezinta $D, CLK, \overline{CLK}, Q_M, Q_S$:)

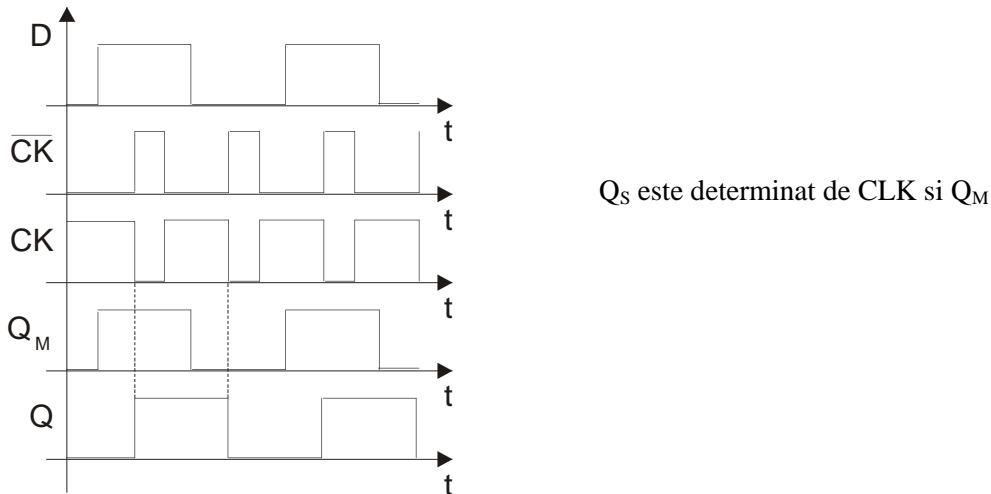


Figura 2.37. Cronograme pentru functionarea circuitului din figura 2.33.

Reprezentarile simbolice posibile pentru bistabilul D cu comutare pe front sunt prezentate în figura de mai jos:

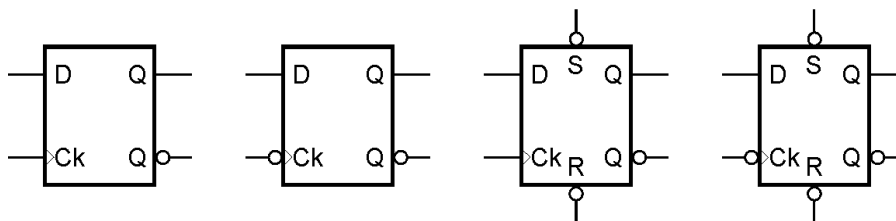


Figura 2.38. Bistabil D comandat pe front crescator sau scazator (stânga) si cu intrari asincrone prioritare /S, /R (dreapta).

2.3.6. Aplicatie: Extensie I/O pentru un microsistem cu bistabile D octale

Descrierea schemei si a functionarii

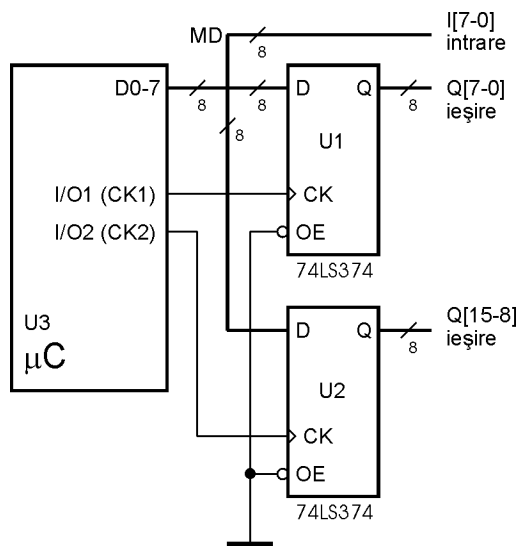


Figura 2.39. Utilizarea bistabilelor D octale ca registre de iesire într-un microsistem.

2.3.7. Aplicatie: Determinarea ordinii a doua semnale

Sa se reproiecteze schema din figura 2.23 utilizând un bistabil D de tip 74LS74.

2.4. Bistabilul de tip T

Bistabilul T (*toggle*) se caracterizeaza prin faptul ca el este forat sa functioneze doar în doua situatii ce corespund la doua linii ale tabelului 2.4;

$$J_n = K_n = 1$$

$$J_n = K_n = 0$$

Intrarea T a unui astfel de bistabil se obtine prin interconectarea intrarilor J si K. Pentru realizarea bistabilului de tip T se folosesc numai bistabile JK-MS.

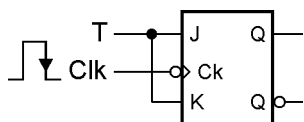


Figura 2.40. Bistabil T din JK.

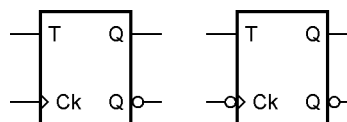


Figura 2.41. Bistabil T - simbol.

La functionarea secventiala:

- daca T este permanent egal cu 1 $\Rightarrow Q_{n+1} = \overline{Q_n}$;
- daca T este permanent egal cu 0 $\Rightarrow Q_{n+1} = Q_n$

Ecuatia caracteristica se deduce din:

$$Q_n = J_n \overline{Q_n} + \overline{K_n} Q_n$$

$$Q_{n+1} = T_n \overline{Q_n} + \overline{T_n} Q_n$$

Tabelul 2.7

Functionarea bistabilului T

T_n	Q_{n+1}
0	Q_n
1	$\overline{Q_n}$

Daca T este permanent 1, $Q_{n+1} = \overline{Q_n}$, bistabilul basculeaza la fiecare impuls de tact si se poate folosi ca divizor de frecventa a impulsurilor de tact raportat la iesirea Q_n

$$f_Q = f_{CK}/2$$

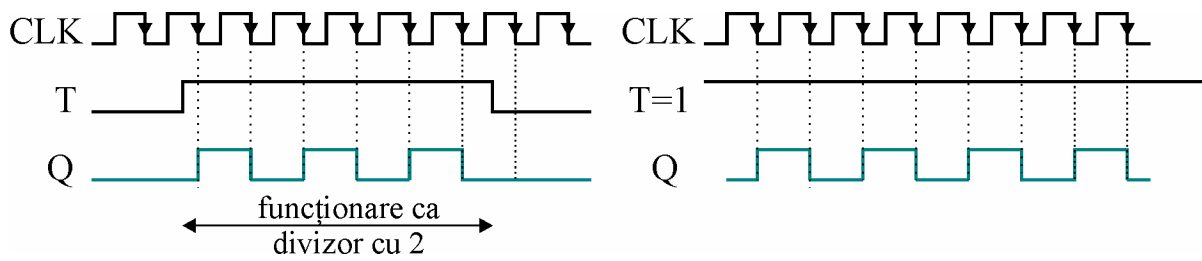


Figura 2.42. Funcționarea bistabilului T (stânga) și ca divizor de frecvență cu 2 (dreapta).

2.4.1. Aplicație: Conversia bistabilelor D în T

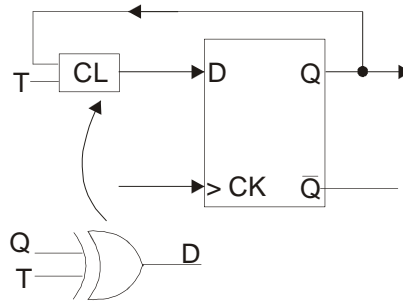


Figura 2.43. Conversia D → T.

Modalitățile pe care le avem pentru a transforma un bistabil D în T sau invers. Cea mai frecvent utilizată este conversia D → T impusă de necesitatea divizării frecvenței de tact cu 2.

Secvența de realizare:

Etapa II

T_n	Q_n	D_n	Q_{n+1}
0	0	0	0
0	1	1	1
1	0	1	1
1	1	0	0

Etapa I

Din tabel se obține: $D_n = \overline{T_n}Q_n + T_n\overline{Q_n} = T_n \oplus Q_n$. CL este o în acest caz poartă SAU-EXCLUSIV.

Există situații în care un astfel de bistabil trebuie să funcționeze permanent ca divizor de frecvență (T=1) și în consecință nu avem nevoie de o intrare T. Schema rezultată din relația anterioară.

$T = 1 \Rightarrow D_n = \overline{Q_n} \Rightarrow$ următoarea schema:

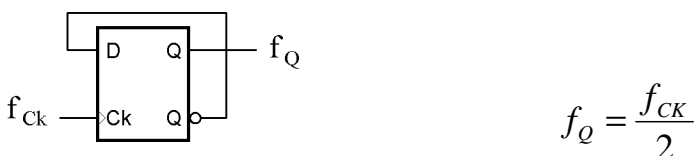


Figura 2.44. Divizor de frecvență cu 2, un bistabil T particular, cu T = 1.

2.4.2. Conversia T → D

Conversia unui T care comuta pe frontul descrescător într-un D (care comuta pe frontul descrescător) se realizează similar (schema). Se folosește același tabel dar se deduce:

$$T_n = f(D_n, Q_n)$$
$$T_n = D_n \bar{Q}_n + \bar{D}_n Q_n = D_n \oplus Q_n$$

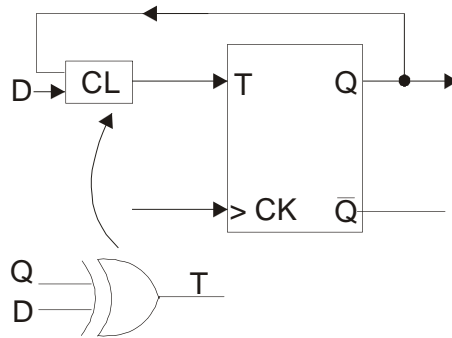


Figura 2.45. Conversia T → D.

Soluția este aceeași: în loc de CL conectându-se un SAU-EXCLUSIV.

Sinteza principalelor tipuri de bistabile

Tip	Ecuatia caracteristica	Latch Bistabil	Comutape	TTL		CMOS		Observatii
				Tip	n	Tip	n	
SR	$Q^* = S + \overline{R + Q} = \overline{\overline{S} \cdot \overline{\overline{R} \cdot Q}}$	Latch	Palier, 1 Palier, 1			4043 4044	4 4	3 stari, porti SAU-NU 3 stari, porti SI-NU
		bistabil	Palier					cu intrare de comanda
		bistabil	Front					
		Bistabil	MS					
JK	$Q_{n+1} = J \cdot \overline{Q}_n + \overline{K} \cdot Q_n$	Bistabil	front	74112 74109	2 2			74276 4 bistabile JK 74376 4 bistabile JK
		Bistabil	MS	7472 7473 7476	1 2 2	4027	2	
D	$Q^* = D$	Latch	Palier	7475 74373 74573	2 8 8	4042	4	
	$Q_{n+1} = D_n$	Bistabil	Front	7474	2	4013	2	
T	$Q_{n+1} = T \cdot \overline{Q}_n + \overline{T} \cdot Q_n$	Bistabil						

2.5. Aplicatii

2.5.1. Generarea unui semnal de tact cu doua faze

Este uneori necesara generarea unui semnal de tact cu mai multe faze. În figura 2.46 este ilustrat un asemenea caz, în care bistabilul JK comutat pe front crescator functioneaza ca divizor cu 2, iar iesirile sale sunt preluate de doua porti SI pentru a genera fazele Φ_a si Φ_b . Diagramele de semnal sunt reprezentate pentru cazul ideal, în care $t_p = 0$. Realizând practic montajul sau *simulându-l* se constata însa o comportare complet diferita – atât Φ_a cât si Φ_b prezinta o serie de impulsuri scurte (*glitch*).

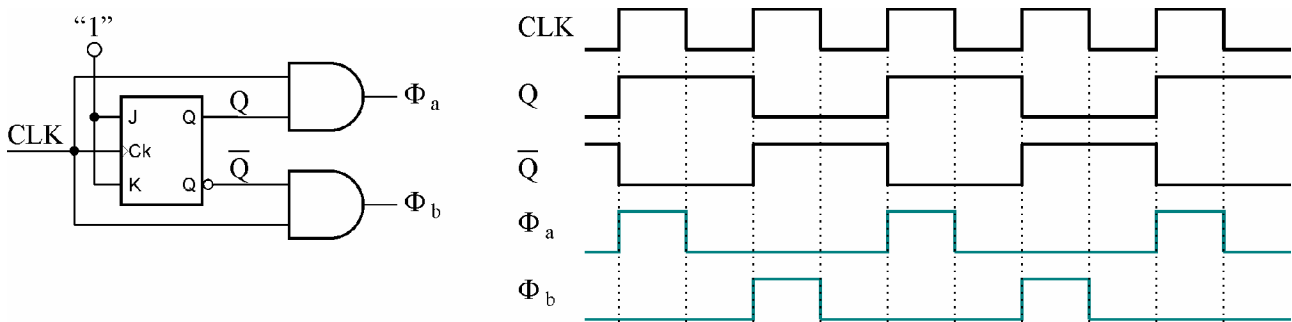


Figura 2.46. Generarea unui semnal de tact cu doua faze, varianta initiala.

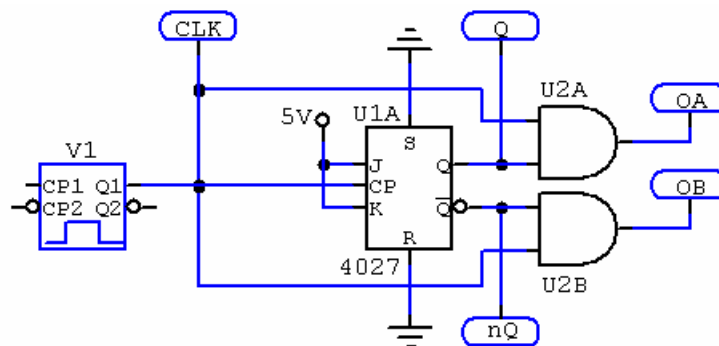


Figura 2.47. Schema initiala introdusa pentru simulare în Circuit Maker pentru varianta initiala.

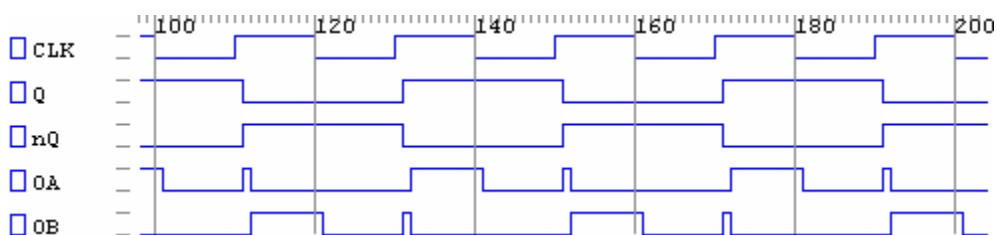


Figura 2.48. Formele de unda simulate pentru schema electrica din figura 2.47 corespund realitatii.

Explicatia acestei comportari se obtine studiind atent formele de unda din figura 2.48: tinând cont de timpul de propagare t_p prin bistabilul JK, între CLK si Q pe de o parte, respectiv CLK si nQ pe de alta parte vor aparea conditii de suprapunere pe 1 (*race conditions*) – ceea ce conduce la comutarea falsa în 1 a iesirilor portilor U2A si U2B.

Rezolvarea acestei situatii se poate face simplu, adaugând un inversor la intrarea de tact a bistabilului U1A, care va comuta pe frontul scazator al semnalului de tact CLK si în acest fel se elimina suprapunerea nedorita în 1 între tact si iesirile bistabilului (figura 2.50).

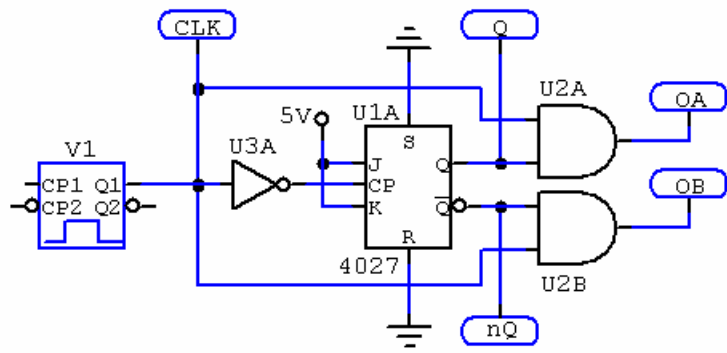


Figura 2.49. Schema electrica corecta pentru generarea unui semnal de tact cu doua faze.

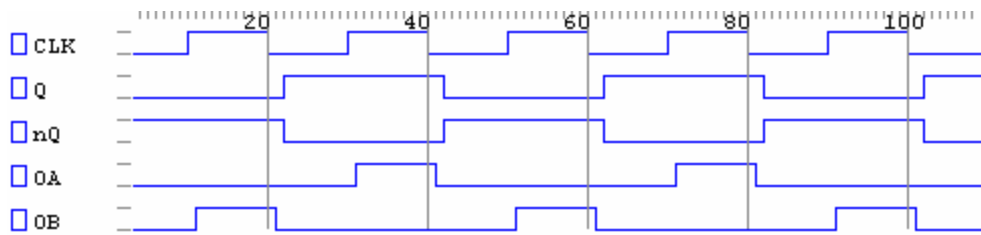


Figura 2.50. Formele de unda pentru schema generarea unui semnal de tact cu doua faze.

Schemele din figurile 2.47 si 2.49 au fost simulate în Circuit Maker în modul digital, în care toate circuitele se presupune ca au acelasi timp de propagare. O simulare mai precisa se obtine redesenând schema pentru modul analogic (figura 2.51). În acest caz se foloseste un bistabil JK comandat pe front scazator (74LS112) fata de bistabilul JK MS CMOS 4027 din figurile 2.47 si 2.49. Prezenta si absenta inversorului U3A este realizata cu circuitul SAU-EXCLUSIV si a comutatorului K. Legatura de masa *nu* este uitata pe schema – pentru simularea analogica SPICE este obligatorie prezenta a cel puțin unei legaturi la masa, chiar daca în acest caz ea este aparent nefolosita.

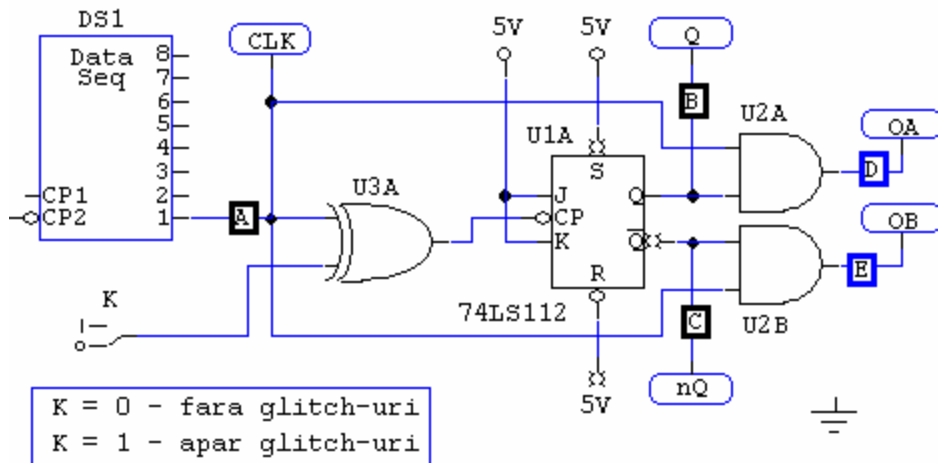


Figura 2.51. Schema electrica pentru simularea analogica a generarii tactului cu doua faze.

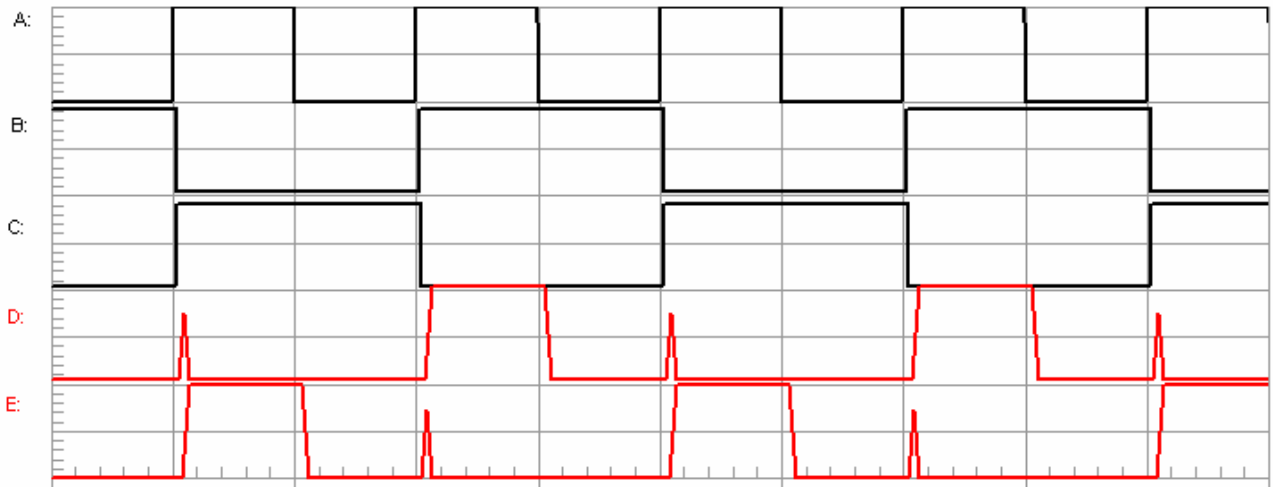


Figura 2.52 Pentru $K = 1$ (comutare pe front crescator) apar impulsuri scurte nedorite la iesire.

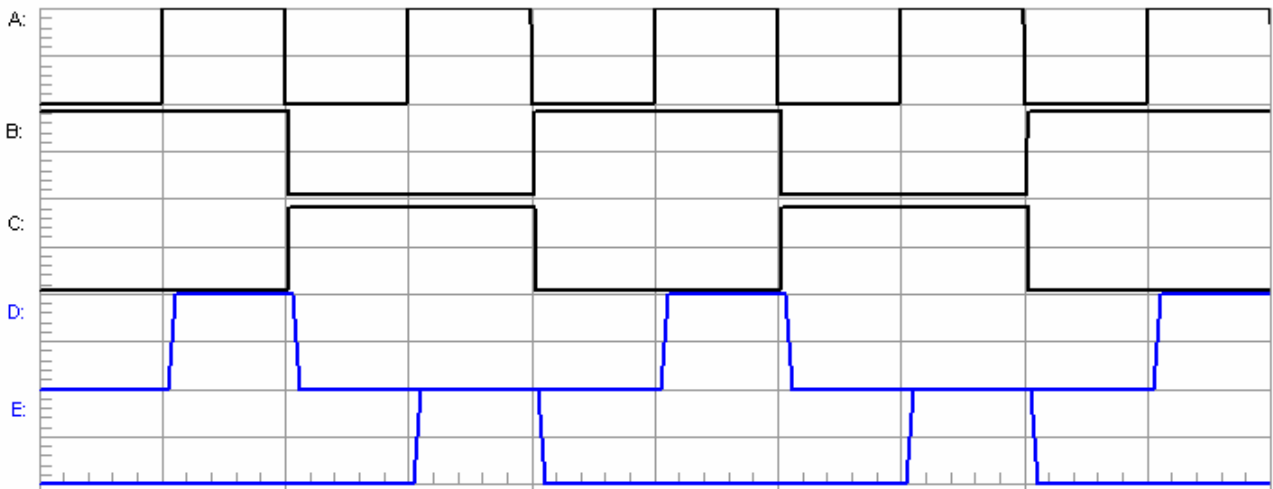


Figura 2.53. Pentru $K = 0$ (comutare pe front scazator) glitch-urile sunt eliminate.

2.5.2. Circuit de întâzriere

Realizarea unui circuit de întâzriere cu un trigger Schmitt este extrem de simpla (figura 2.54). Generatorul Gen1 simuleaza iesirea unei porti TTL ($V_{OL} = 200 \text{ mV}$, $V_{OH} = 3,6 \text{ V}$).

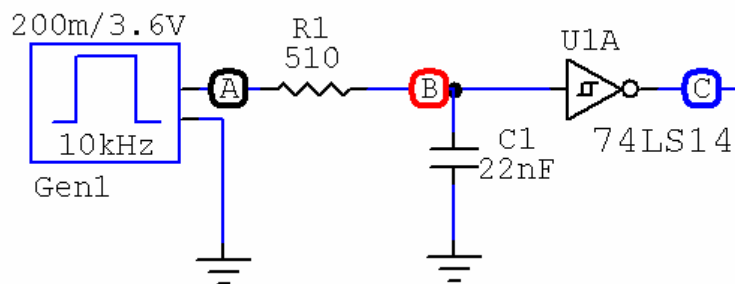


Figura 2.54. Circuit de întâzriere cu 74LS14.

Pentru a evalua întâzrierea, se scrie expresia tensiunii pe condensator în functie de timp:

$$u_C(t) = u_C(\infty) - [u_C(0) - u_C(\infty)] \cdot e^{-\frac{t}{RC}}$$

Pentru **încarcarea** condensatorului, se particularizeaza $u_C(0) = V_{OL} + I_{IL}R$ si $u_C(\infty) = V_{OH}$. Rezulta:

$$V_{PSUS} = u_C(\tau_1) = V_{OH} - (V_{OL} + I_{IL}R - V_{OH}) \cdot e^{-\frac{\tau_1}{RC}}, \text{ adica } \tau_1 = RC \ln \frac{V_{OH} - V_{OL} - I_{IL}R}{V_{OH} - V_{PSUS}}.$$

Pentru exemplul din figura, $V_{OL} = 0.2 \text{ V}$, $V_{OH} = 3.6 \text{ V}$, $I_{IL}R = 0,125 \text{ V}$, $V_{PSUS} = 1,9 \text{ V}$, adica $t_1 = RC \ln 1.926 = 0.66 RC = 7,35 \mu\text{s}$. t_1 este delimitat în simulare de cursorul b, pentru t_1 rezultând o valoare de $6 \mu\text{s}$ (figura 2.55).

Pentru descarcarea condensatorului, se particularizeaza $u_C(0) = V_{OH}$ si $u_C(\infty) = V_{OL} + I_{IL}R$. Rezulta:

$$V_{PJOS} = u_C(\tau_2) = V_{OL} + I_{IL}R - (V_{OH} - V_{OL} - I_{IL}R) \cdot e^{-\frac{\tau_2}{RC}}, \text{ adica } \tau_2 = RC \ln \frac{V_{OH} - V_{OL} - I_{IL}R}{V_{PJOS} - V_{OL} - I_{IL}R}.$$

Pentru exemplul din figura, $V_{OL} = 0.2 \text{ V}$, $V_{OH} = 3.6 \text{ V}$, $I_{IL}R = 0,125 \text{ V}$, $V_{PJOS} = 1,1 \text{ V}$, adica $t_2 = RC \ln 4.38 = 1.48 RC = 16,59 \mu\text{s}$. t_2 este delimitat în simulare de cursorul a, pentru t_2 rezultând o valoare de $18,61 \mu\text{s}$ (figura 2.55).

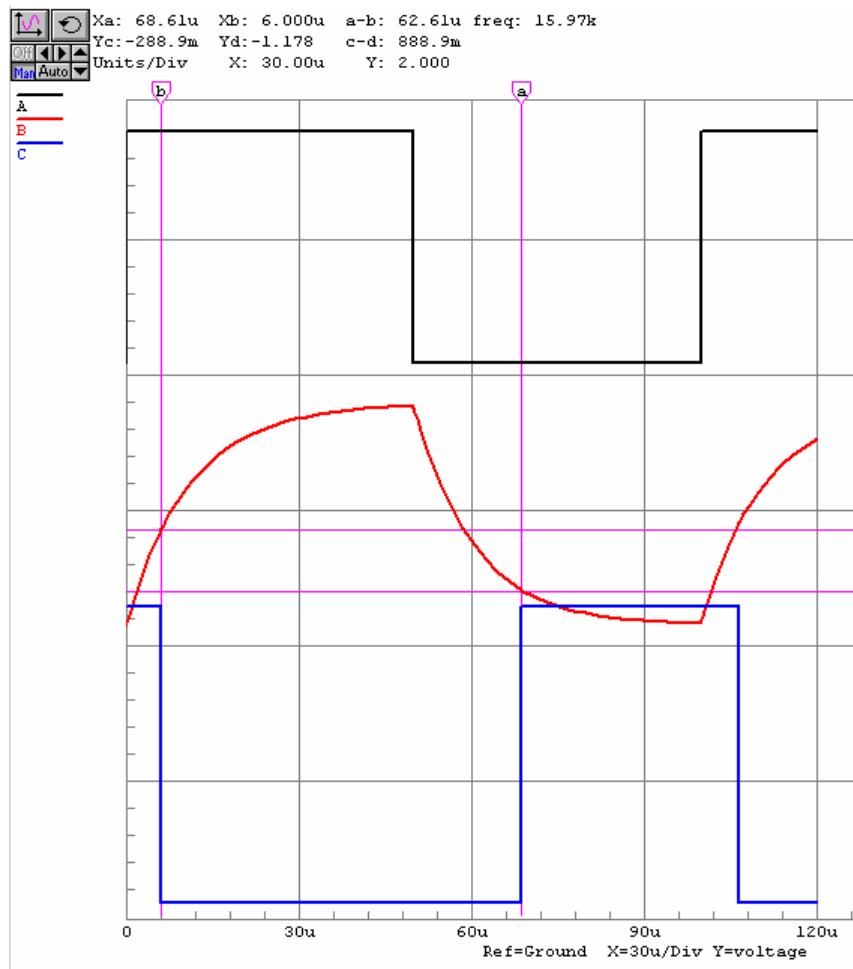


Figura 2.55. Circuit de întârziere cu 74LS14 – diagrame de semnal.

This document was created with Win2PDF available at <http://www.daneprairie.com>.
The unregistered version of Win2PDF is for evaluation or non-commercial use only.