

4. NUMARATOARE

4.0. Introducere

Numaratoarele sunt circuite care evolueaza periodic (ciclic) între anumite stari. Numarul starilor distincte dintr-un ciclu se numeste modulul numaratorului si se noteaza cu m . Numaratoarele în inel sau Johnson, realizate cu registre de deplasare formate din bistabile D, studiate anterior aveau modulul $m = n$ respectiv $m = 2n$; (n era numarul de bistabile a registrului). În acest caz $m \leq 2^n$.

Se pune problema obtinerii cu acelasi numar de bistabile n a unui numar cât mai mare de stari distincte în cadrul unui ciclu, adica a maririi modulului m . Numarul n de bistabile necesare pentru realizarea unui numarator modulo m este $n \geq \log_2 m$.

4.1. Clasificarea numaratoarelor

1. Dupa *modul de aplicare a impulsurilor de tact*
 - asincrone –tactul se aplica numai bistabilului celui mai putin semnificativ, urmatoarele bistabile au semnalul de tact provenit de la iesirea Q sau /Q a bistabilului precedent;
 - sincrone – impulsul de tact se aplica simultan tuturor bistabilelor.
2. Dupa *modul*
 - Binare $m = 2^n$;
 - Zecimale sau decadice $m = 10$;
 - Modulo $p \neq 2^n$.
3. Dupa *sensul de numarare*
 - directe – acestea numara într-un singur sens in sens direct adica crescator;
 - inverse - acestea numara in sens descrescator
 - reversibile - numara în ambele sensuri adica atât în sens direct cât si în sens invers.

Un numarator care evolueaza ciclic prin exact 10 stari se numeste zecimal sau decadic. Daca cele 10 stari sunt 0, 1, 2, ..., 9 atunci el se mai numeste numarator BCD (*Binary Coded Decimal*).

Bistabilele utilizate în constructia numaratoarelor sunt de tip T realizate de obicei din bistabile JK sau D-MS, cu $T = 1$ permanent sau uneori cu validarea accesibila în exterior.

Initializarea numaratorului se face de obicei prin intermediul semnalului de stergere (*Reset* sau *Master Reset*), activ SUS sau JOS (nMR). Stergerea se poate face *asincron*, daca survine independent de starea semnalului de tact si de îndata ce semnalul MR este activ sau *sincron*, în care stergerea se face numai dupa frontul activ al semnalului de tact (crescator sau descrescator).

Anumite numaratoare poate fi initializate în orice stare daca sunt prevazut cu posibilitatea încarcarii paralel, folosind o linie aditionala notata LD (LOAD), activa SUS sau JOS (nLD). Încarcarea se poate face *asincron*, daca survine îndata ce semnalul LD este activ sau *sincron*, în care încarcarea se face numai dupa frontul activ al semnalului de tact (crescator sau descrescator).

4.2. Numaratoare asincrone

4.2.1. Numaratorul asincron binar direct

Pentru $n = 4$ bistabile numarul starilor distincte (modulul numaratorului) binar este $m = 2^4 = 16$. Impulsurile de tact se aplica primului bistabil, urmatoarele bistabile având fiecare ca semnal de tact iesirea Q a bistabilului anterior. Bistabilele functioneaza în regim de divizor de frecventa. Divizarea frecventei de tact depinde de pozitia în numarator a bistabilului la iesirea caruia se culege semnalul.

În figura 4.2 s-a reprezentat un ciclu complet de functionare si partial începutul celui de-al doilea ciclu. Iesirile numaratorului evolueaza în sens crescator (direct), cu fiecare impuls de tact aplicat valoarea la iesire creste cu o unitate. Numaratorul prezentat este modulo 16 (are 4 bistabile). Cel de-al 16-lea impuls de tact încheie ciclul, el aducând numaratorul pe zero. Cel de-al 17-lea este primul impuls de tact din cel de-al doilea ciclu.

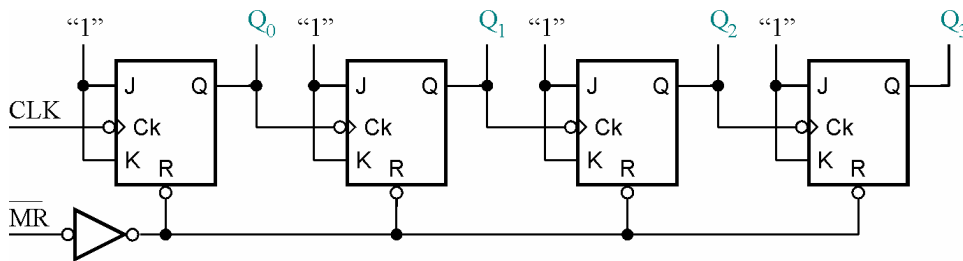


Figura 4.1. Numarator binar asincron direct – schema electrica.

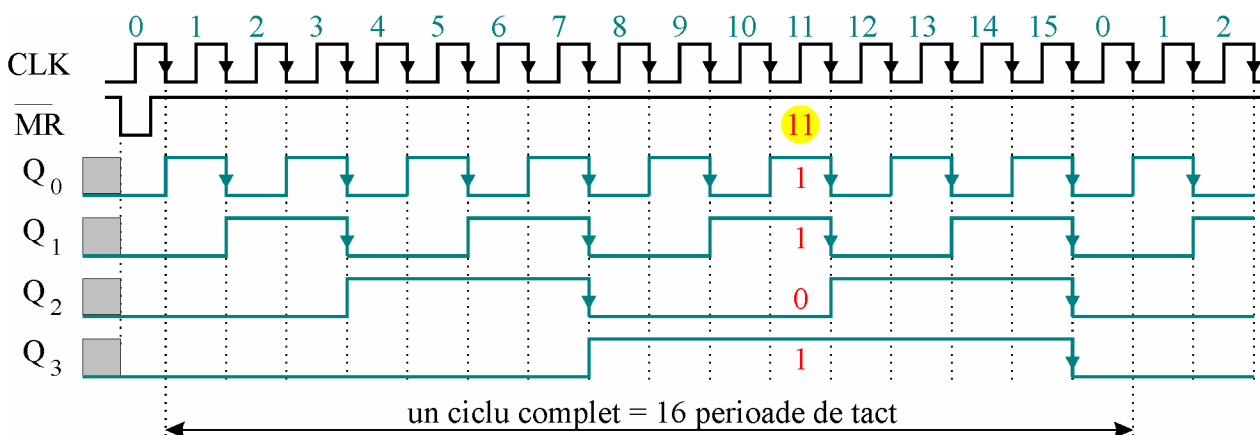


Figura 4.2. Numarator binar asincron direct – diagrame de semnal.

La un moment dat codul binar de iesire corespunde numarului de impulsuri de tact aplicate în ciclul respectiv, in aceasta constând practic functia de numarare. Citind iesirile dupa cel de-al 11-lea impuls de tact, rezulta $Q_3Q_2Q_1Q_0 = 1011$, care este tocmai corespondentul în binar al numarului zecimal 11.

Pentru extinderea capacitatii de numarare se pot conecta mai multe numaratoare în cascada prin conectarea iesirii Q_3 la intrarea de tact a urmatorului numarator.

4.2.2. Numaratorul asincron binar invers

În anumite aplicatii este necesara utilizarea unor numaratoare care sa poata numara si în sens invers, adica numaratorul sa își micsoreze continutul cu câte o unitate la fiecare impuls de tact. În acest scop semnalul de tact a bistabilului urmator nu se mai culege de la iesirea Q a bistabilului anterior, ci de la iesirea nQ .

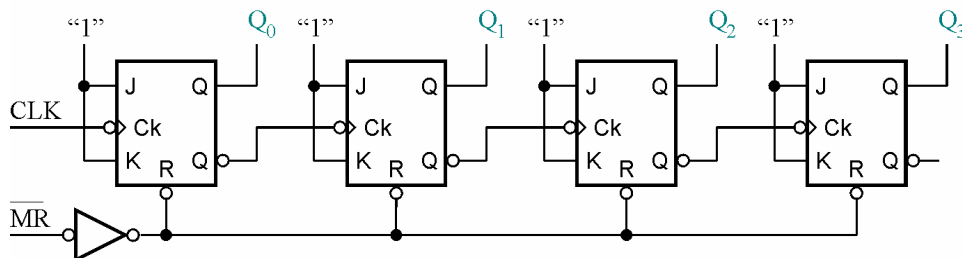


Figura 4.3. Numarator binar asincron invers – schema electrica.

Când Q trece din 1 în 0, nQ trece din 0 în 1, (bistabilul urmator nu comuta), dar când Q trece din 0 în 1, nQ trece din 1 în 0 si determina comutarea bistabilului urmator. Acest lucru poate fi verificat în tabelul 4.1.

Functionarea (parțială) a număratorului binar asincron invers

Tactul	Q ₃	Q ₂	Q ₁	Q ₀	Corespondent zecimal
Valoare initiala	0	0	0	0	0
1	1	1	1	1	15
2	1	1	1	0	14
3	1	1	0	1	13
4	1	1	0	0	12
5	1	0	1	1	11
...

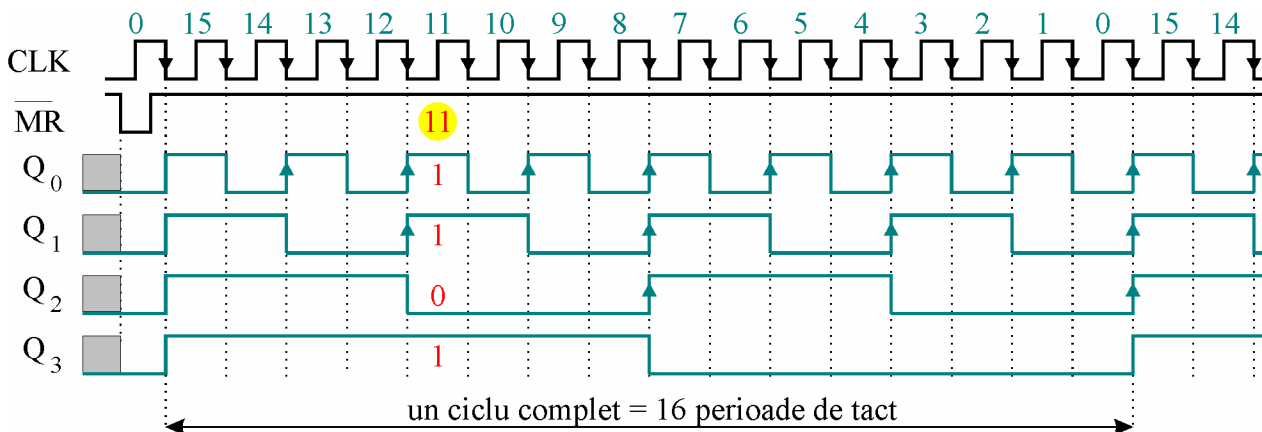


Figura 4.4. Numarator binar asincron invers – diagrame de semnal.

Tema. Sa se analizeze functionarea numaratoarelor din figurile 4.5 si 4.6.

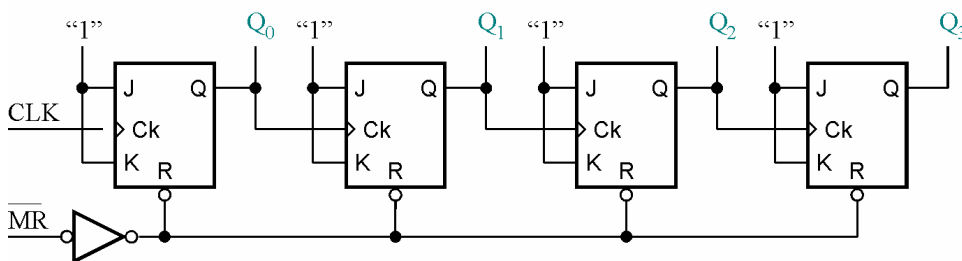


Figura 4.5. Numarator binar asincron invers – varianta de implementare.

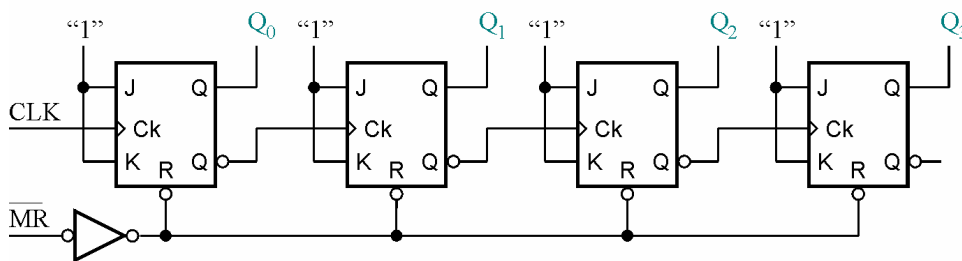


Figura 4.6. Numarator binar asincron direct – varianta de implementare.

4.2.3. Numaratorul asincron binar reversibil

Numaratorul reversibil (figura 4.7) poate efectua atât operația de numarare în sens direct (în sus) cât și în sens invers (în jos). Determinarea sensului de numarare se stabilește printr-o linie suplimentară de sens notată de obicei U/nD (UP/nDOWN). Bistabilele folosite sunt de tip T realizate din JK sau D-MS.

- dacă $U/nD = 1$ se conectează Q_k ? CLK_{k+1} , numarare în sens direct;
- dacă $U/nD = 0$ se conectează \overline{Q}_k ? CLK_{k+1} , numarare în sens invers.

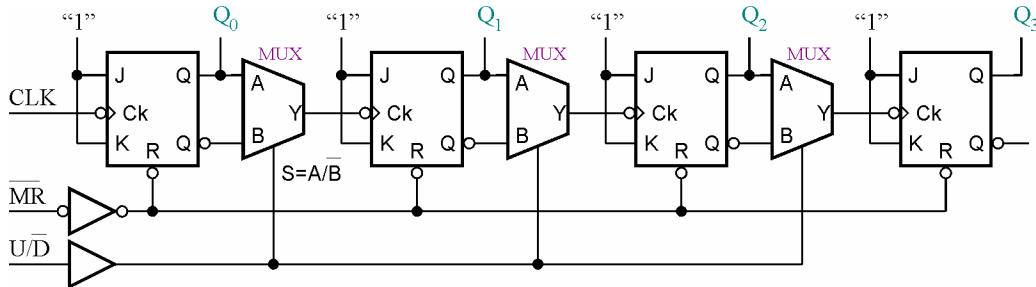


Figura 4.7. Numarator binar asincron direct – varianta de implementare.

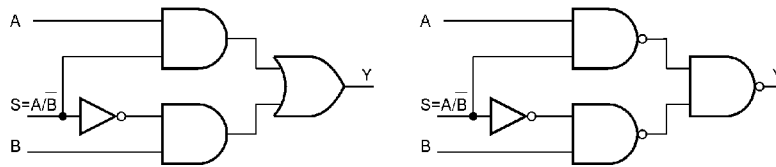


Figura 4.8. Variante de realizare a multiplexorului 2:1.

4.2.4. Numaratoare asincrone zecimale

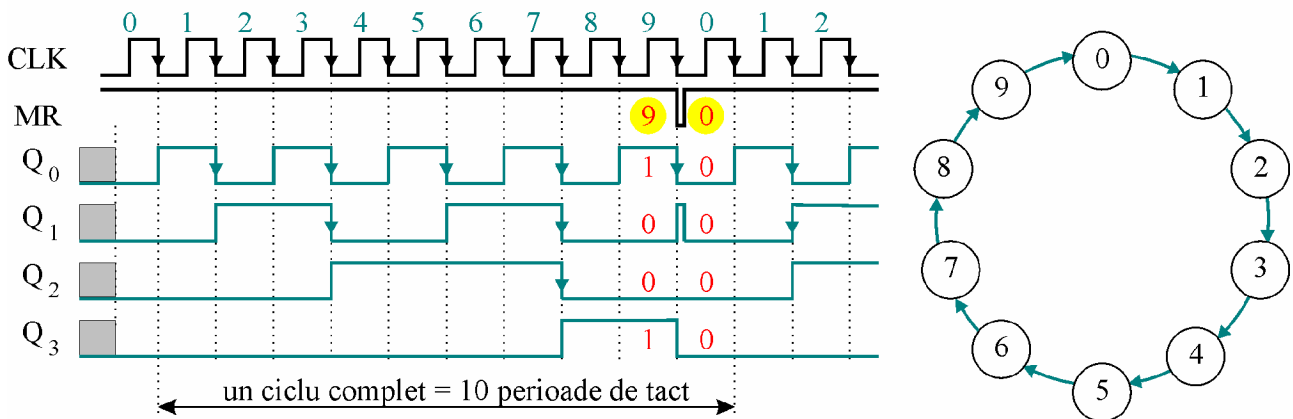
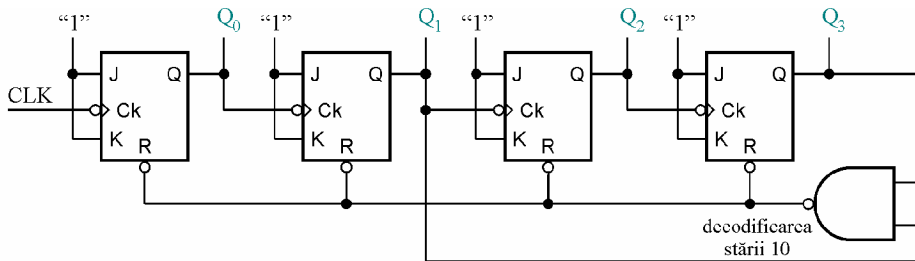


Figura 4.9. Numarator asincron zecimal direct: schema electrica, diagrame de semnal, diagrama de stari.

Numaratorul zecimal din figura 4.8 este des întâlnit în aplicațiile practice. El se bazează pe structura numaratorului asincron binar din figura 4.1 la care se adaugă un circuit de decodificare a stării 10, format

dintr-o poarta SI-NU. Când numărătorul ajunge în starea 10, ieșirea portii SI-NU trece în 0 logic, determinând trecerea numărătorului în starea 0, după care ciclul de funcționare se repetă.

4.2.5. Numărătoare asincrone disponibile pe piață

Cele mai utilizate numărătoare asincrone în tehnologie TTL sunt 74LS93 (binare direct) și 74LS90 (zecimal direct). Ele sunt dublate de variantele ulterioare 74LS293 și 74LS290 la care alimentarea se face la pinii 8 (GND) și 16 (V_{CC}), deoarece la 74LS93 respectiv 74LS290 pinii de alimentare erau plasati neobisnuit (pinul 10 – GND, pinul 5 V_{CC}). Varianta 74LS390 conține echivalentul a 2 numărătoare 74LS290 într-o singură capsulă, iar 74LS393 conține echivalentul a două 74LS293 într-o singură capsulă. În tehnologie CMOS sunt disponibile mai multe numărătoare asincrone, de exemplu 4020, 4040, 4060 (tabelul 4.x).

4.2.6. Sinteza numărătoarelor asincrone modulo $p \neq 2^n$

Există aplicații în care modulul numărătorului nu mai este o putere întreagă a lui 2 ($m \neq 2^n$ unde n natural). Modulul unui astfel de numărător se va nota cu p . Pentru un ceas electronic, p poate fi egal cu 7, 12, 24, 38, 29, 30, 31, 365, 366 etc. Se pot realiza astfel de numărătoare modulo p , cu $p = m$ plecând de la numărătoare binare asincrone cu $m = 2^n$, transformarea efectuându-se prin scurtarea ciclului de funcționare a numărătorului la p stări, cu $p = m$.

Modul în care se determina structura unui astfel de numărător este ilustrat în exemplul următor. Fie un numărător asincron direct (în sens crescător) cu $p = 51$. Numărul minim de bistabile necesar n se determina din condiția: $2^{n-1} < p < 2^n$, adică $2^{n-1} < 51 < 2^n$, îndeplinită în condițiile exemplului considerat pentru $n = 6$ ($32 < 51 < 64$).

Funcționarea numărătorului cu $p = 51$ implică practic resetarea acestuia în cadrul unui ciclu după aplicarea celui de al 51-lea impuls de tact. Acest lucru este posibil prin identificarea stării 51 cu ajutorul unui circuit decodificator, care în cel mai simplu caz poate fi o poartă SI-NU și stergerea numărătorului prin activarea liniei nCLR. În figura 4.10 este prezentată schema numărătorului modulo 51 care funcționează pe acest principiu.

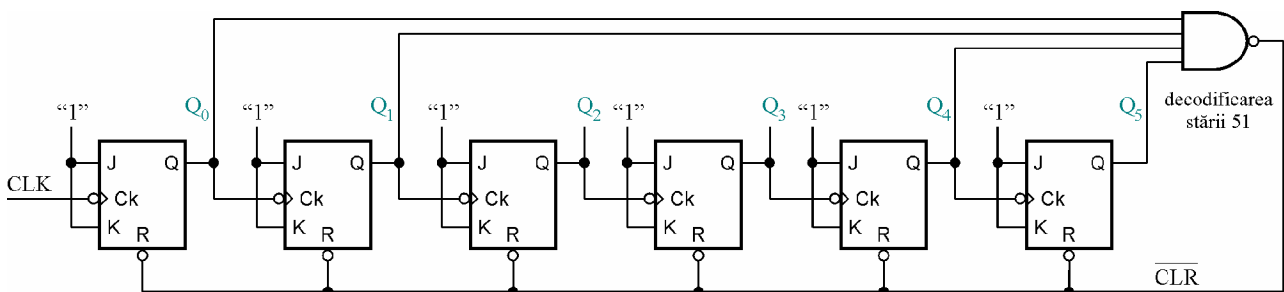


Figura 4.10. Numărător asincron direct modulo $p = 51$, schema electrică.

Resetarea numărătorului trebuie să se producă în momentul în care numărătorul ajunge în starea $p = 51$. Modulul $p = 51$ se poate scrie în binar sub forma:

$$p = 51 = 1 \cdot 32 + 1 \cdot 16 + 0 \cdot 8 + 0 \cdot 4 + 1 \cdot 2 + 1 \cdot 1$$

adică:

32	16	8	4	2	1
Q_5	Q_4	Q_3	Q_2	Q_1	Q_0
1	1	0	0	1	1

Determinarea acestei stări se face utilizând o poartă SI-NU cu 4 intrări la care sunt conectate o parte din ieșirile numărătorului, respectiv Q_5 , Q_4 , Q_1 și Q_0 care sunt pe 1 logic pentru prima dată într-un ciclu de numărare pentru starea 51. În urma activării liniei /CLR în care ieșirea portii SI-NU este 0 logic, aceasta

stare se va transforma în starea 000000 (starea initiala). Astfel numarul stărilor distincte ale numărătorului este redus de la 64 (corespunzătoare modului $m = 2^6$) la $p = 51$.

În structura prezentată schema nu prezintă o funcționare sigură datorită dispersiei timpilor de propagare $t_{P_{CLR \rightarrow Q}}$. Bistabilul cu timpul de propagare cel mai redus se resetează primul, ieșirea Q corespunzătoare care este legată la una din intrările porții SI-NU trece pe zero. Ieșirea porții SI-NU trece în 1 logic întrerupând astfel procesul de ștergere integrală a numărătorului (a bistabilelor care au mai rămas pe 1 logic).

Pentru înlăturarea acestui neajuns este necesar un circuit de memorare a semnalului de ștergere ($nCLR$) pe o durată care să fie mai mică decât perioada de repetiție a impulsului de tact, dar suficient de mare pentru inițializarea sigură pe „0” a tuturor bistabilelor. Acest circuit se intercalează între X_1 și X_2 și are schema din figura 4.11.

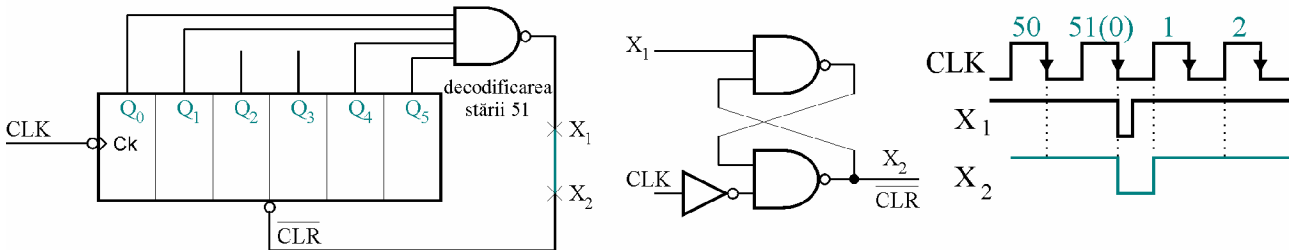


Figura 4.11. Numărător asincron direct modulo $p = 51$, schema bloc, latch SR de memorare a impulsului de ștergere, diagrame de semnal.

După cum se observă din schema, circuitul de memorare folosit este în acest caz un latch S-R. Ieșirea porții SI-NU, X_1 se află pe 1 logic până când apare frontul scăzător al celui de al 51-lea impuls de tact. În acest moment X_1 trece în 0 logic, determină setarea bistabilului și punerea liniei X_2 pe 0 logic. În acest moment începe procesul de ștergere a numărătorului. Ieșirea porții SI-NU, X_1 va sta scurt timp pe 0 logic, mai exact până când una din ieșirile Q_5, Q_4, Q_1 sau Q_0 trece pe 0 logic. Deși X_1 este deja 1 logic, latch-ul *memorează* impulsul de ștergere, menținând în continuare linia X_2 pe 0 logic până când apare frontul crescător al impulsului de tact, în care se produce resetarea bistabilului SR și trecerea ieșirii X_2 pe 1 logic. Se poate observa că lățimea noului impuls de ștergere $X_2 = \overline{CLR}$ este proporțională cu durata cât semnalul de tact, CLK, este pe 0 logic. Se presupune că acest interval de timp este suficient de mare pentru ștergerea (inițializarea) tuturor bistabilelor din care este compus numărătorul. În caz contrar, factorul de umplere al semnalului de tact se alege astfel încât să fie satisfăcută această condiție.

În figura 4.12 este prezentată schema electrică pentru un numărător asincron direct cu $n = 5$ bistabile, cu un ciclu de 32 de stări (S1 deschis), respectiv de 27 de stări (S1 închis). Cele două inversoare din schema asociate bistabilului U1A simulează o ștergere întârziată a respectivului bistabil - un $t_{P_{CLR \rightarrow Q}}$ mai mare decât la celelalte bistabile. Cu S2 se poate valida sau inhiba această întârziere suplimentară.

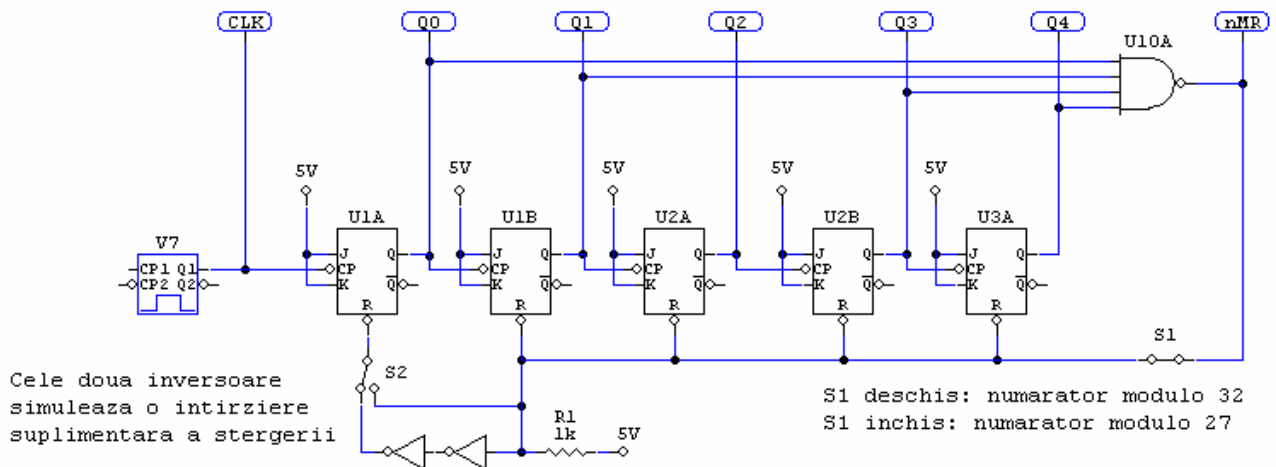


Figura 4.12. Numărător asincron direct modulo $p = 27$ cu simularea întârzierii ștergerii.

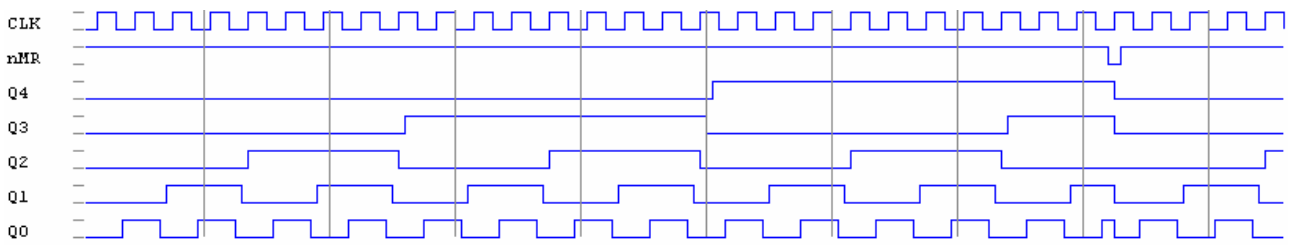


Figura 4.13.a. Numarator asincron direct modulo $p = 27$, functionare corecta(S1 închis, S2 spre dreapta).

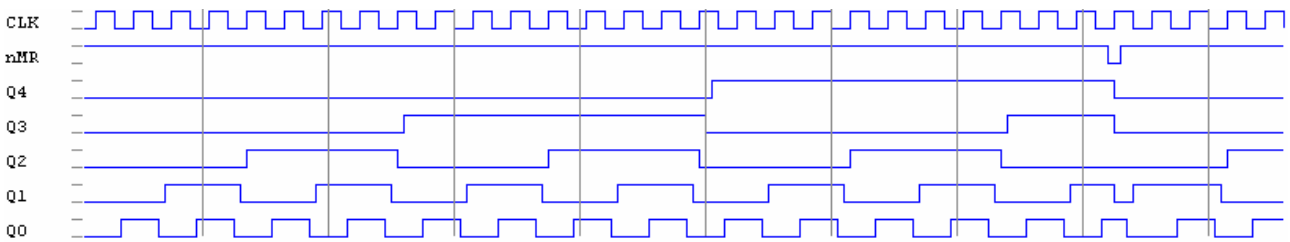


Figura 4.13.b. Numarator asincron direct modulo $p = 27$, functionare incorecta în secventa ...26, 27+ stergere, 2, 3, ... obtinuta pentru S1 închis si S2 spre stânga.

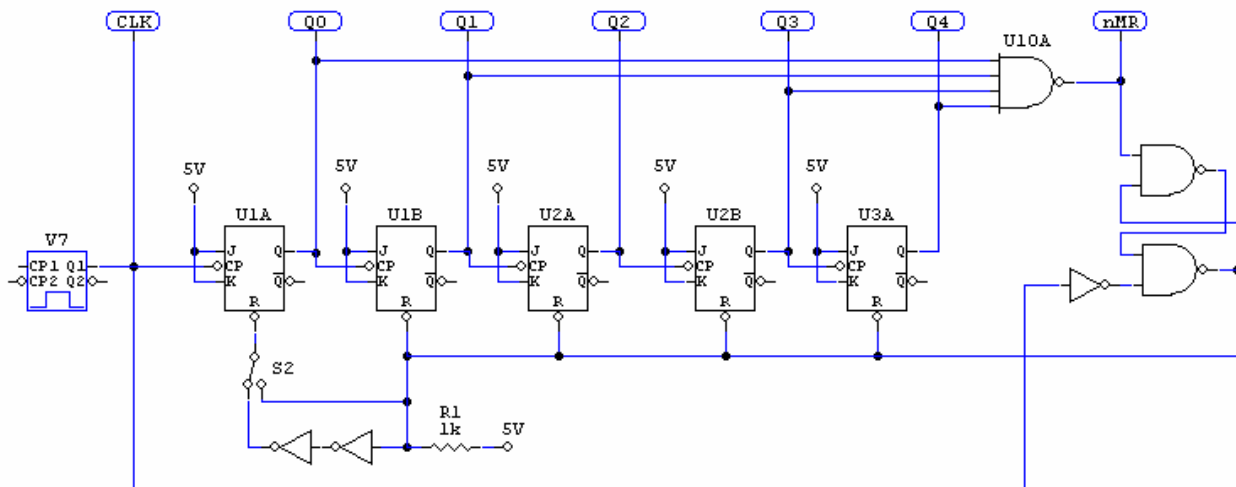


Figura 4.14. Numarator asincron direct modulo $p = 27$ cu latch SR pentru memorarea impulsului de stergere.

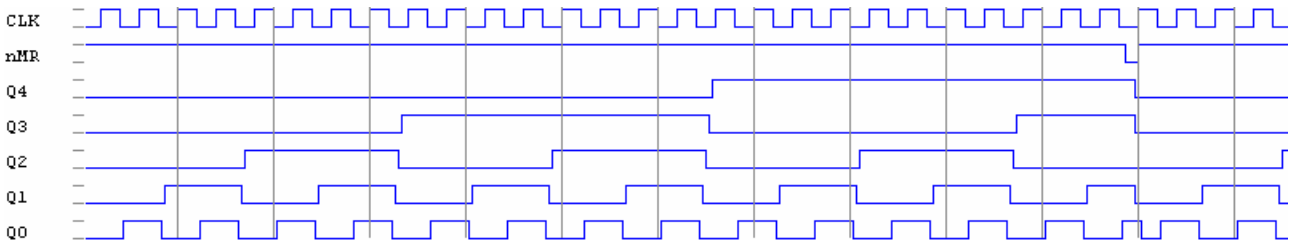


Figura 4.15. Numarator asincron direct modulo $p = 27$ cu latch SR de stergere, functionare corecta obtinuta pentru S1 închis si S2 spre stânga.

4.2.7. Determinarea frecvenței maxime de operare pentru numărătoarele asincrone

Principalul avantaj al numărătoarelor sincrone îl constituie simplitatea arhitecturii, aspect contrabalansat de dezavantajul major al unei frecvențe maxime de operare reduse, datorată propagării succesive a semnalului de tact. Întârzierea produsă de un bistabil este egală cu $t_{p_{CLK \rightarrow Q}}$. Pentru stabilirea frecvenței, maxime de operare trebuie ținut cont de cazul cel mai defavorabil în care comută toate cele n bistabile, impulsul de tact următor se putându-se aplica numai după stabilizarea efectului impulsului de tact anterior. Uzual starea stabilă a număratorului înaintea aplicării unui nou impuls de tact trebuie să dureze un interval de timp Δt necesar citirii stării număratorului (decodificarea cuvântului de stare). Din aceste motive perioada minimă de repetiție a tactului în cazul cel mai defavorabil este:

$$T_{CLK \min} = n \cdot t_{p_{(CLK \rightarrow Q)}} + \Delta t$$

unde n este numărul de bistabile din componenta număratorului. În cazul în care între ieșirea Q a bistabilului anterior și intrarea CLK a bistabilului următor există circuite care produc întârzieri (de exemplu multiplexoare la numărătoarele reversibile), durata minimă a impulsului de tact este:

$$T_{CLK \max} = n \cdot t_{p_{(CLK \rightarrow Q)}} + (n-1)t_{p_{MUX}} + \Delta t, \text{ iar frecvența maximă de funcționare este } f_{CLK \max} = \frac{1}{T_{CLK \min}}.$$

Acest fenomen limitează frecvența maximă de tact la care poate funcționa numărătoarele asincrone (de exemplu pentru circuitele 74LS90, 74LS93 $f_{\max} = 16$ MHz, tipică pentru numărătoare asincrone).

4.3. NUMARATOARE SINCRONE

Această categorie de circuite asigură funcționarea la frecvențe mult mai mari decât în cazul numărătoarelor asincrone datorită aplicării simultane a impulsului de tact la intrările de tact ale tuturor bistabilelor.

4.3.1. Metode de generare a semnalului T

În cadrul unui ciclu de funcționare al număratorului la trecerea dintr-o stare în alta în urma aplicării impulsului de tact CK , unele bistabile trebuie să basculeze, altele nu. Înseamnă că trebuie utilizate bistabile de tip T cu intrarea T accesibilă (bistabilul $JK - MS$ la care J se leagă împreună cu K și formează T) pentru a permite ca înaintea aplicării următorului impuls de tact să se aplice la intrarea T a bistabilului ce trebuie să basculeze (conform tabelului de funcționare), nivelul 1 logic, iar la intrarea T a celorlalte nivelul 0 logic. Apare astfel necesitatea utilizării unor circuite logice pentru generarea valorilor T ce corespund celor n bistabile folosite pentru ca funcționarea număratorului să decurgă în conformitate cu tabelul de funcționare dorit.

Procedura de determinare a structurii circuitului logic destinat generării valorilor logice pentru intrările T se va exemplifica pentru tabelul de funcționare ce corespunde unui numărator binar sincron pe 4 biți.

Procedura poate fi aplicată similar și unor numărătoare care funcționează după alte tabele de funcționare.

Tabelul de funcționare (este valabil atât pentru numărătoarele asincrone cât și pentru cele sincrone):

Nr. tacte	Q_3	Q_2	Q_1	Q_0
initializare	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1

6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
10	1	0	1	0
11	1	0	1	1
12	1	1	0	0
13	1	1	0	1
14	1	1	1	0
15	1	1	1	1
16 (0)	0	0	0	0

$$T_0 = 1$$

$$T_1 = Q_0$$

$$T_2 = Q_0 \cdot Q_1 = Q_1 \cdot T_1$$

$$T_3 = Q_0 \cdot Q_1 \cdot Q_2 = Q_2 \cdot T_2$$

.....

$$T_{n-1} = Q_0 \cdot Q_1 \cdot \dots \cdot Q_{n-2} = T_{n-2} \cdot Q_{n-2}$$

Din tabel se deduc urmatoarele:

- bistabilul de rang 0 trebuie sa basculeze la fiecare impuls de tact, deci $T_0 = 1$ în permanenta.
- bistabilul de rang 1 basculeaza numai atunci când în starea de dinaintea aplicarii impulsului de tact $Q_0 = 1$, deci $T_1 = Q_0$.
- bistabilul de rang 2 basculeaza numai atunci când în starea anterioara atât Q_0 cât si Q_1 sunt pe "1" adica $T_2 = Q_0 \cdot Q_1 = Q_1 \cdot T_1$.
- bistabilul Q3 basculeaza numai atunci când anterior aplicarii impulsului de tact Q_0, Q_1 si Q_2 sunt pe "1" deci $T_3 = Q_0 \cdot Q_1 \cdot Q_2 = Q_2 \cdot T_2$.

În general se poate scrie:

$$T_{n-1} = Q_0 \cdot Q_1 \cdot \dots \cdot Q_{n-2} = T_{n-2} \cdot Q_{n-2}$$

Revenind la numaratorul pe 4 biti, în functie de modul de scriere al valorilor T se disting doua metode de generare a acestora:

- **seriala** – în acest caz valorile lui T se obtin din valorile anterioare: $T_2 = T_1 \cdot Q_1$; $T_3 = T_2 \cdot Q_2$;
- **paralela** – la care valorile lui T se obtin direct din valorile lui Q : $T_2 = Q_0 \cdot Q_1$; $T_3 = Q_0 \cdot Q_1 \cdot Q_2$?

Generarea valorilor lui T pentru un numar de 4 biti prin metoda seriala:

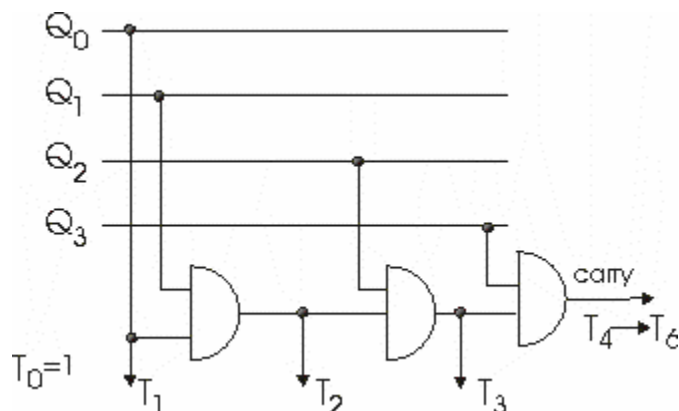


Figura 4.16. Generarea semnalelor $T_0 - T_3$ si T_4 (Carry).

Semnalul Carry se genereaza din semnalul T3 si Q3 si se aplica intrarii T0 a numaratorului urmator în cazul extinderii capacitatii de numarare.

În cazul generarii seriale a valorilor T în cazul cel mai defavorabil, durata minima a impulsului de tact este data de:

$$T_{CK\ min} = t_{P(CK \rightarrow Q)} + (n - 2)t_{PSI} + \Delta t .$$

Dezavantaj: - t_p mai mare decât în cazul generării paralele a valorilor T

Avantaje: - se utilizeaza numai porti SI cu doua intrari.

În cazul generării *paralele* a valorilor T , durata minima a impulsurilor de tact este:

$$T_{CK\ min} = t_{P(CK \rightarrow Q)} + t_{PSI} + \Delta t .$$

Se observa ca t_p este mai mic decât la numărătoarele asincrone cu același număr de bistabile (frecvența de tact mai ridicată). Din acest motiv aceasta este varianta preferată la realizarea numărătoarelor în integrate.

4.3.2. Numaratorul sincron binar direct pe 4 biti

Descrierea functionarii

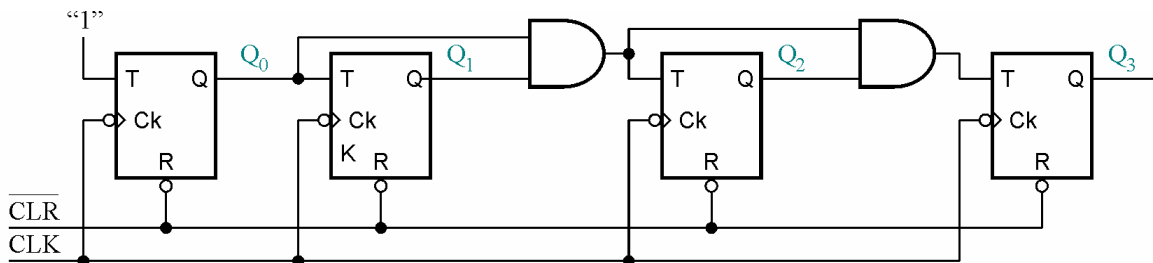


Figura 4.17. Numarator sincron direct – T generat prin metoda seriala.

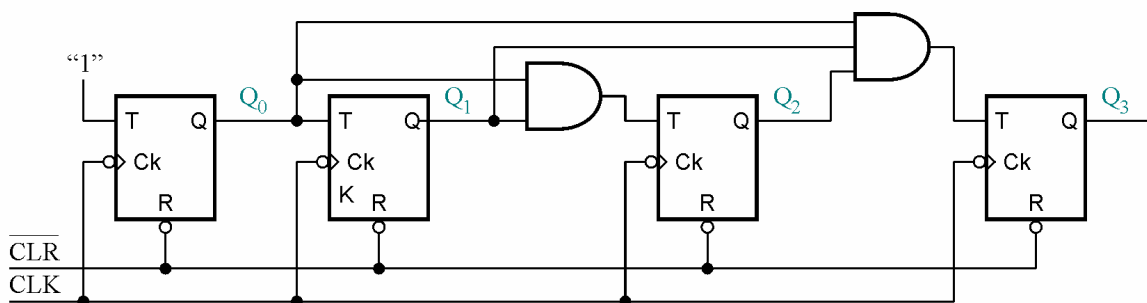


Figura 4.18. Numarator sincron direct – T generat prin metoda paralela.

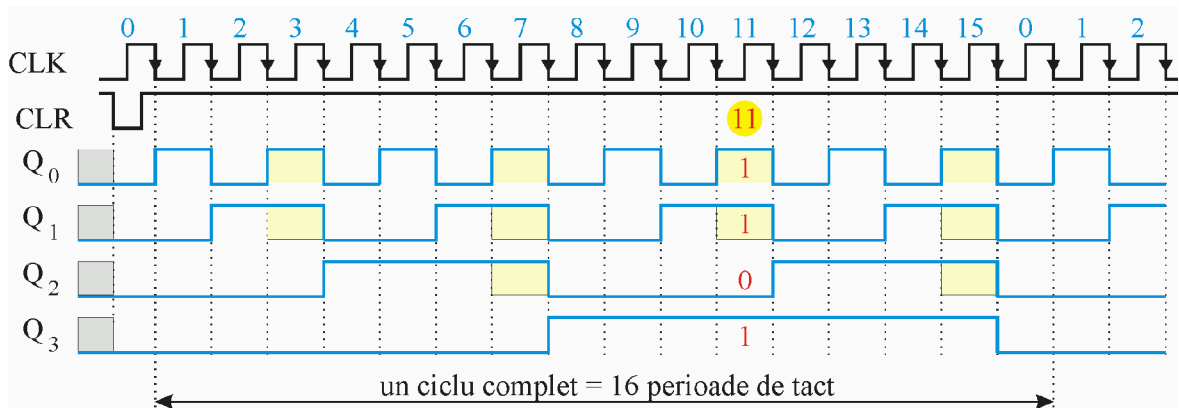


Figura 4.19. Numarator sincron direct pe 4 biti – diagrame de semnal.

Schema unui numarator binar sincron pe 4 biti cu generarea paralela a semnalului T.

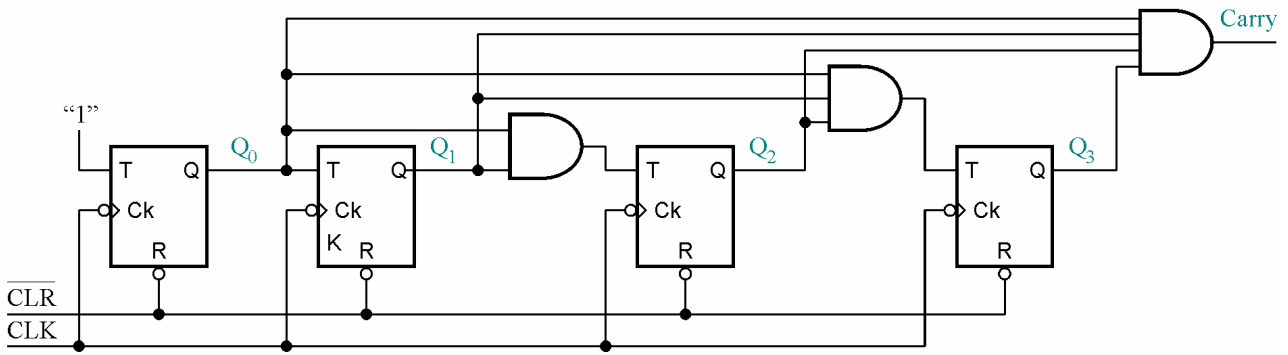


Figura 4.20. Numarator sincron pe 4 biti cu generare semnal Carry extern.

Relatiile pentru generarea valorilor T sunt cele ce nu contin pe T anterior. Fiecare valoare T este generata doar pe baza valorilor Q pentru a scurta timpul de generare. Astfel întârzierea de generare este doar a unei singure porti SI. Impulsurile de tact CK se aplica simultan la toate bistabilele. Exista de asemenea o intrare de initializare comuna /CLR pentru toate bistabilele. Numaratorul numara doar în sens direct (crescator), iar iesirea CARRY serveste pentru interconectarea numaratorului reprezentat cu un alt numarator identic pentru bitii superiori $Q_4 \dots Q_7$ si se conecteaza la intrarea T_0 care devine practic T_4 al celui de al doilea numarator.

4.3.3. Numarator sincron reversibil

Descrierea functionarii

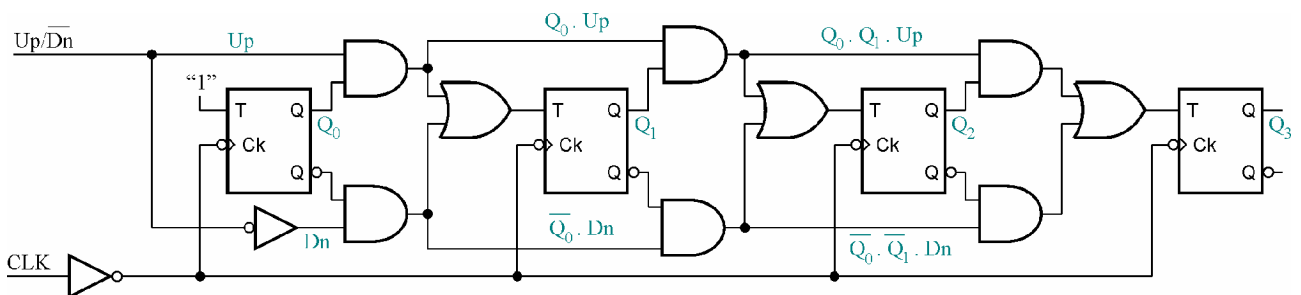


Figura 4.21. Numarator sincron binar reversibil pe 4 biti.

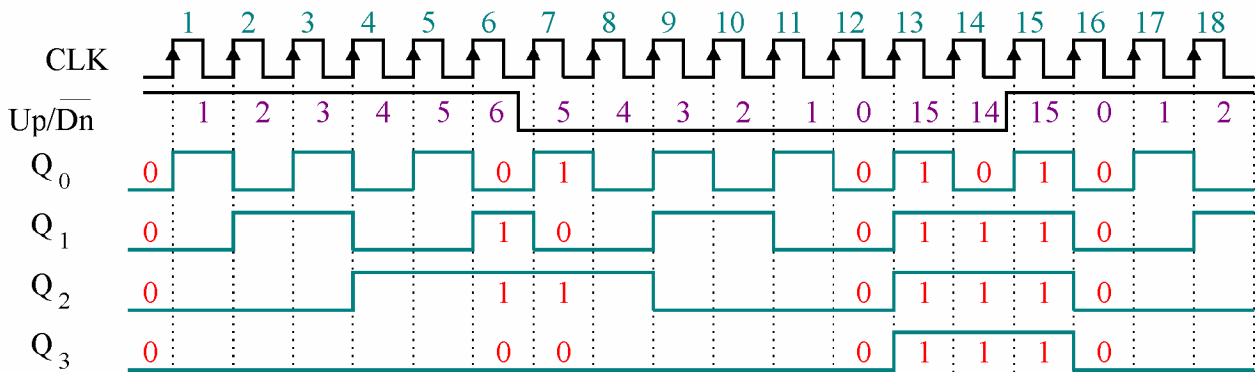


Figura 4.22. Numarator sincron binar reversibil pe 4 biti - diagrame de semnal.

4.3.4. Numarator sincron BCD

Descrierea functionarii

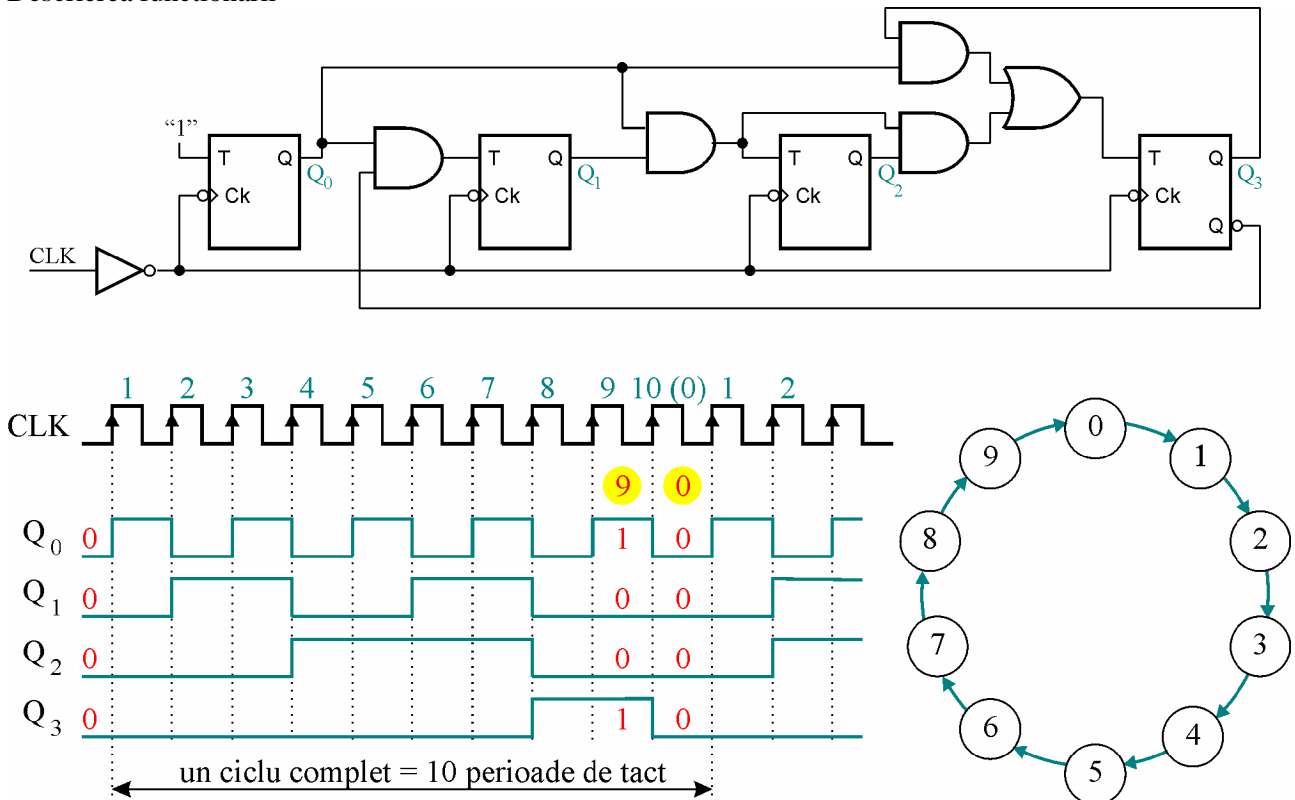


Figura 4.23. Numarator sincron BCD.

4.3.5. Numarator sincron presetabil

4.3.6. Extinderea capacitatii de numarare

Pe lânga legatura amintita trebuie interconectate si intrarile de tact si de stergere ca în figura urmatoare ce prezinta interconectarea a doua numaratoare sincrone pe 4 biti:

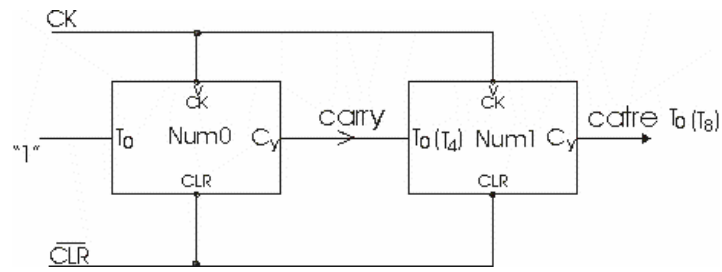


Figura 4.24. Cascadarea a doua numaratoare sincrone pe 4 biti.

4.3.7. Decodificarea iesirii numaratoarelor

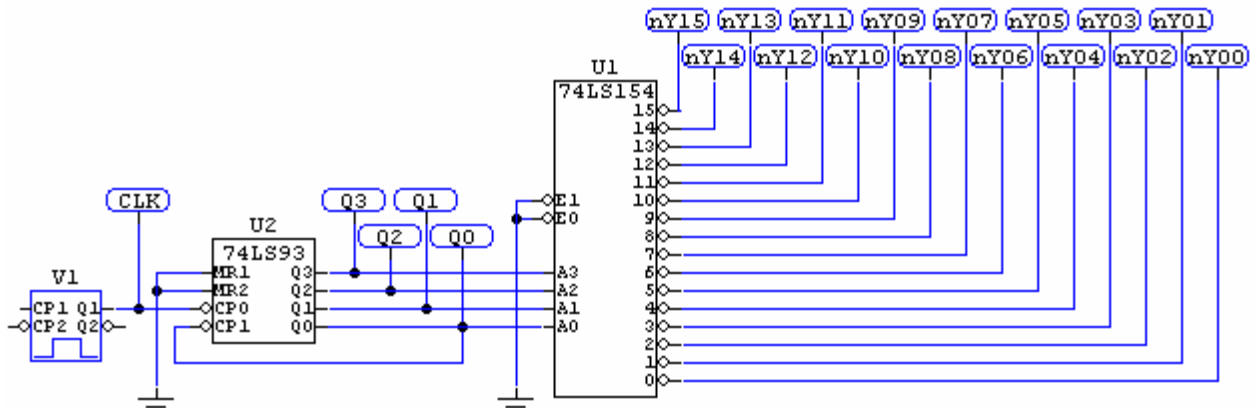


Figura 4.25. Decodificarea iesirilor unui numarator (asincron) pe 4 biti.

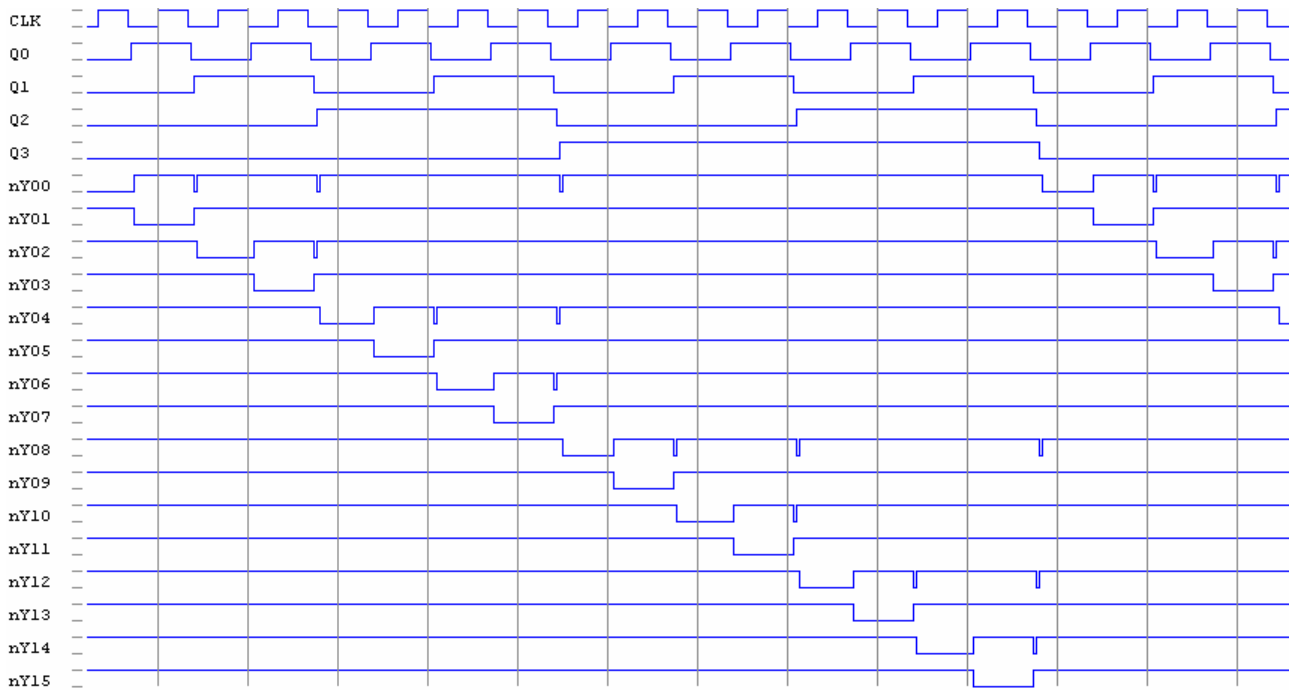


Figura 4.26. Decodificarea iesirilor unui numarator (asincron) pe 4 biti – diagrame de semnal.

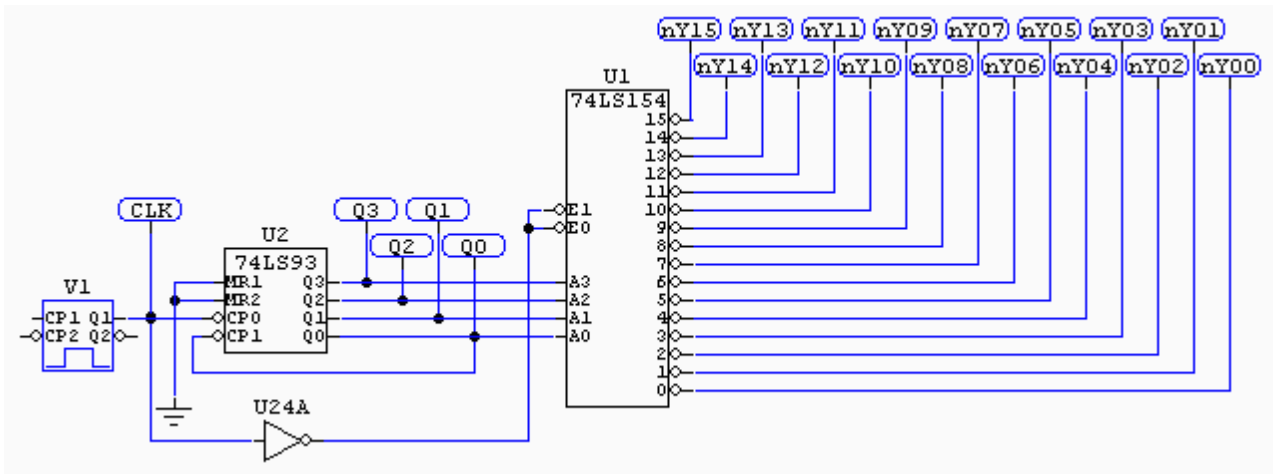


Figura 4.27. Decodificarea cu strobare a iesirilor unui numarator (asincron) pe 4 biti.

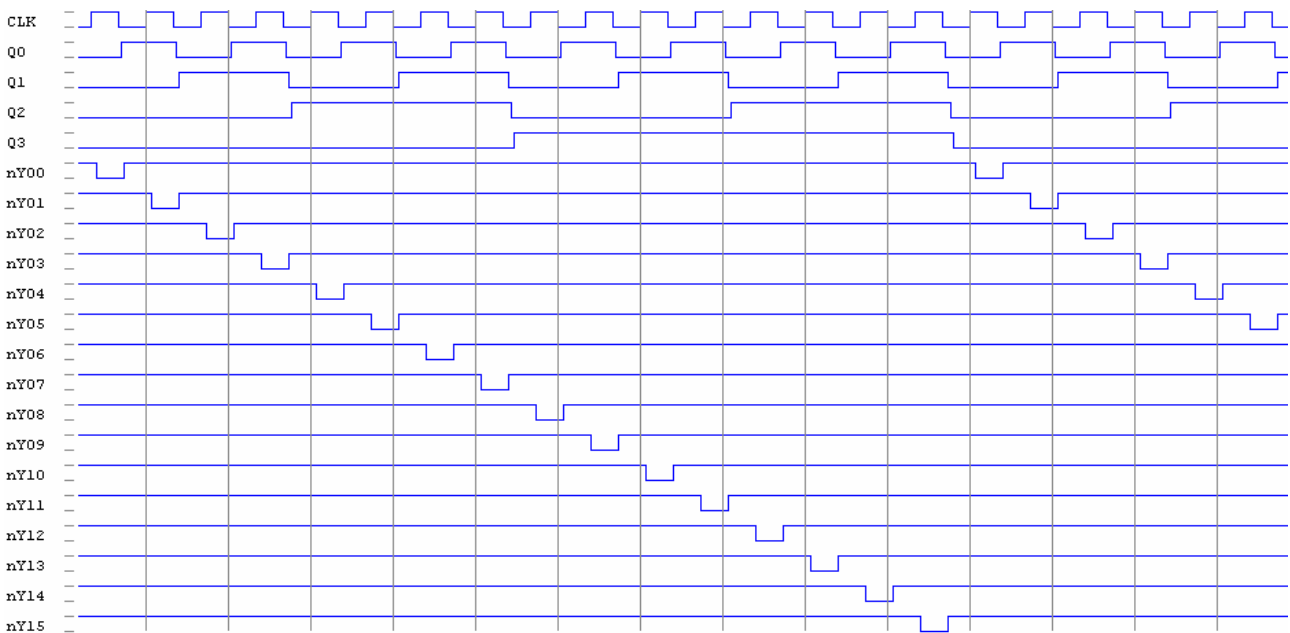


Figura 4.28. Decodificarea cu strobare a iesirilor unui numarator (asincron) pe 4 biti – diagrame de semnal.

4.3.8. Sinteza numaratoarelor sincrone

4.4. DIVIZOARE DE FRECVENTA

Orice numarator este în acelasi timp un divizor de frecventa, raportul de divizare fiind chiar modulul p al numaratorului. Cel mai simplu caz este cel cu divizare cu un raport fix, iar cel mai flexibil – divizorul programabil de frecventa, la care raportul de divizare este specificat din exterior si se poate modifica oricând. Este important de aratat ca nu întotdeauna factorul de umplere la iesirea divizorului este $\frac{1}{2}$, existând aplicatii în care acest aspect nu este deranjant. Daca se doreste un factor de umplere de exact $\frac{1}{2}$ trebuie adaugata logica suplimentara, asa cum se va vedea în exemplele urmatoare. Daca raportul de divizare este un numar par, de exemplu $2 \cdot k$, cea mai simpla metoda de a obtine un factor de umplere de $\frac{1}{2}$ este de a diviza mai întâi cu k si apoi cu 2 (cu un bistabil D sau JK comandat pe front).

4.4.1. Divizoare de frecventa cu un numar fix

4.4.2. Divizoare programabile de frecventa

Schema din figura 4.x utilizeaza un numarator asincron CMOS (4040) si doua comparatoare pe 4 biti pentru a specifica raportul de divizare. Numaratorul evolueaza direct, de la 0 pâna la valoarea prestabilita de [KPD2 :KPD1], moment în care cele doua comparatoare sesizeaza egalitatea si activeaza semnalul de stergere MR. Adaugând un al treilea comparator se obtine în acelasi mod un divizor programabil de frecventa pe 12 biti. Schema prezentata este una care functioneaza foarte bine în regim de simulare digitala, dar nu în realitate deoarece foloseste circuite CMOS si TTL LS în acelasi montaj. Pentru a rezolva acest neajuns, cel mai bine este sa se foloseasca variantele HC sau HCT ale circuitelor prezentate: 74HCT4040 si 74HCT85, caz în care schema nu va mai prezenta nici un neajuns.

Întrebări: Indicati potentialele probleme ale schemei din figura 4.x.

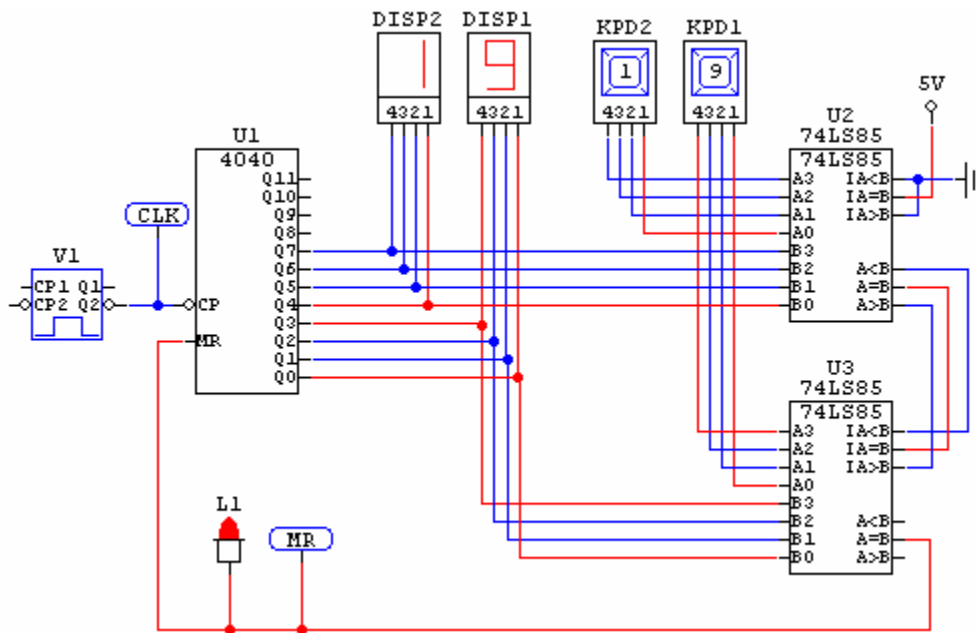


Figura 4.29. Divizor programabil de frecventa cu 4040 si comparatoare.

Al doilea exemplu de divizor programabil utilizeaza doua numaratoare sincrone configurate sa evolueze în sens invers (U1 si U2) si un latch RS de memorare a impulsului de stergere, asa cum a fost prezentat în figura 4.11. Functionarea divizorului este simpla: [KPD2:KPD1] specifica raportul de divizare, numararea se face în sens descrescator de la p spre 0, starea 0 determinând stergerea latch-ului RS si încarcarea numaratoarelor cu p . Diagramele de semnal (figura 4.x) indica o divizare initiala cu 5, urmata de schimbarea raportului si o divizare cu 8.

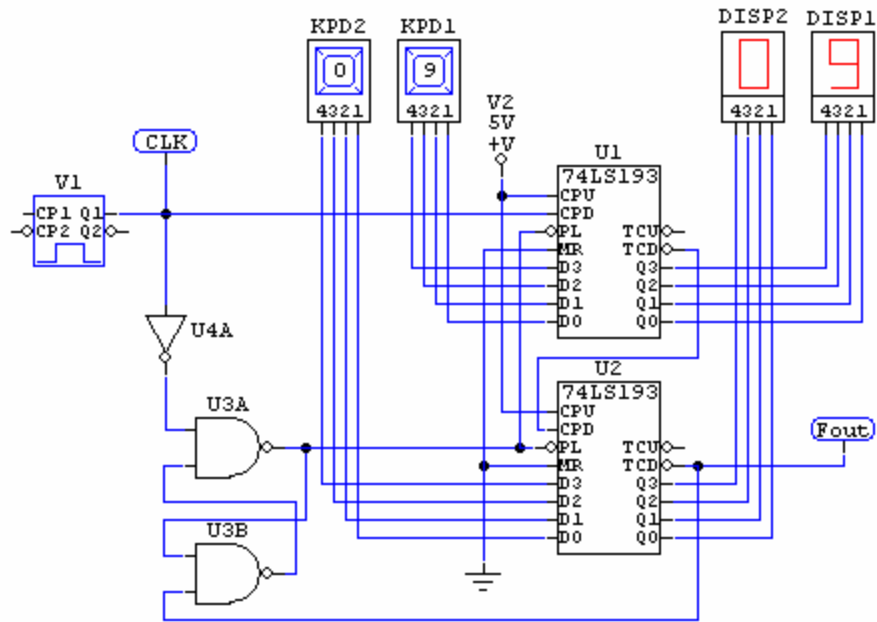


Figura 4.30. Divizor programabil de frecventa cu 74193 si latch RS de memorare a impulsului de stergere.

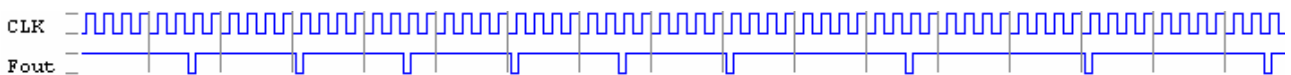


Figura 4.31. Divizor programabil de frecventa cu 74193 – diagrame de semnal.

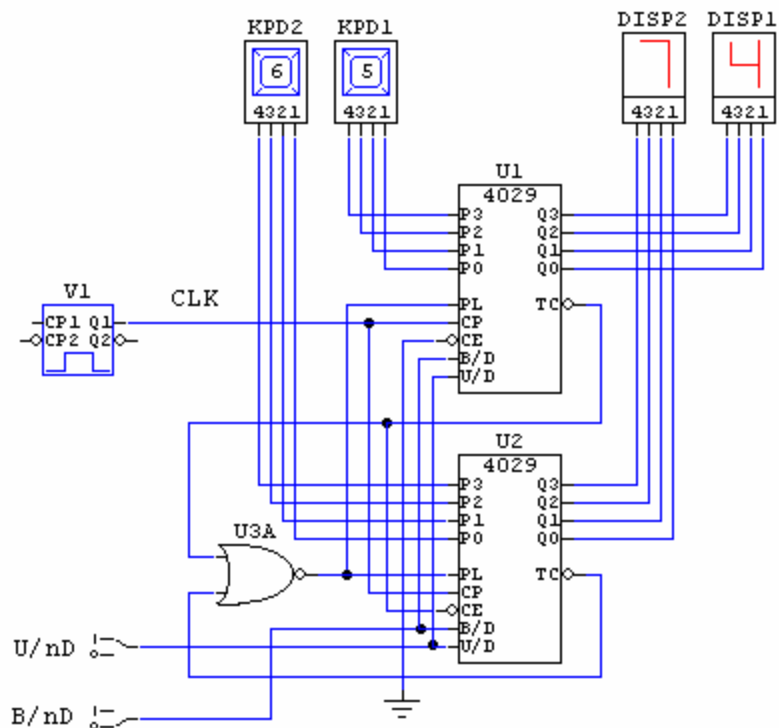


Figura 4.32. Divizor programabil de frecventa cu 4029.

Cel de-al treilea exemplu de divizor programabil de frecventa este si cel mai versatil: utilizând doua numaratoare CMOS 4029 si încarcarea comandata de o poarta SAU-NU cu un numar de intrari egal cu numarul de circuite 4029 utilizate, circuitul ofera:

- numarare în sens crescator, de la p la 255 ($U/nD = 1$);
- numarare în sens descresator, de la p la 0 ($U/nD = 0$);

- numarare binara ($B/nD = 1$);
- numarare zecimala ($B/nD = 0$).

Întrebare: Specificati unde se afla iesirea divizorului din figura 4.x si forma semnalului divizat.

4.5. APLICATIILE NUMARATOARELOR

Tabelul 4.x

Sinteza principalelor tipuri de numaratoare

Tip numarator	Front	Reset	Load	TTL		CMOS		Observatii, comentarii
				Cod	<i>n</i>	Cod	<i>n</i>	
Asincron binar direct	↓	A, H	-	74LS293	4			2 x 74LS293 într-o capsula Disponibile iesirile Q0, Q3-Q13 Disponibile toate iesirile Q0-Q11 Iesiri Q3-13, oscilator intern, RC extern
	↓	A, H	-	74LS393	4			
	↓	A, H	-			4020	14	
	↓	A, H	-			4040	12	
	↓	A, H	-			4060	14	
Asincron BCD direct	↓			74LS290	4			Zecimal, reset activ SUS 2 x 74LS293 într-o capsula
	↓			74LS390	4			
Sincron binar direct	↑	A, L	S, L	74LS161	4			2 numaratoare într-o capsula
	↑	S, L	S, L	74LS163	4			
	↑	A, H	A, H			4516	4	
	↑sau ↓	A, H	-			4520	4	
Sincron BCD direct	↑	A, L	S, L	74LS160	4			2 numaratoare într-o capsula
	↑	S, L	S, L	74LS162	4			
	↑	A, H	A, H			4510	4	
	↑sau ↓	A, H	-			4518	4	
Universale	↑	-	A, L			4029	4	Reversibil, BDC / binar, fara stergere

This document was created with Win2PDF available at <http://www.daneprairie.com>.
The unregistered version of Win2PDF is for evaluation or non-commercial use only.