

Cap.4 FAMILII DE CIRCUITE INTEGRATE DIGITALE

Circuitele integrate digitale, indiferent de complexitatea lor, sunt alcătuite din elemente de circuit sau componente elementare numite *porți logice*. O poartă logică “ideală” are proprietățile următoare:

- 1) se alimentează de la o singură sursă de tensiune ($+V$) de la care consumă o putere foarte mică (ideal zero);
- 2) cele două nivele logice de la ieșire au valorile $LOW = 0$ și $HIGH = +V$;
- 3) impedanța de ieșire este suficient de mică astfel încât curentul absorbit sau furnizat în exterior de ieșirea porții să aibă valori mari, fără ca nivelele logice de ieșire să se modifice;
- 4) tranzițiile HYL și LYH ale ieșirii sunt determinate sau cauzate de “trecurile” prin valoarea $+V/2$ ale tensiunilor de intrare;

Caracteristica de transfer în tensiune a unei porți logice neinvertoare ideale este desenată în fig.4.1.

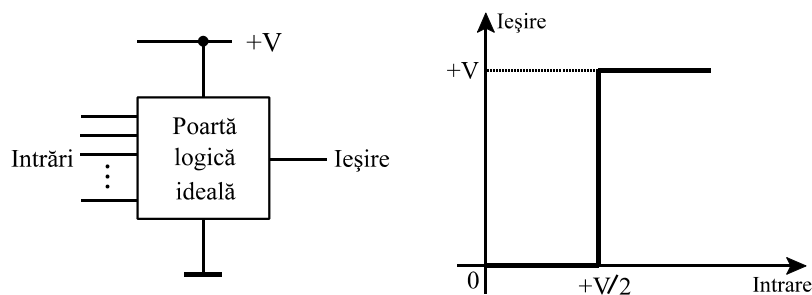


Figura 4.1

Tensiunile de intrare cu valori mai mici decât $+V/2$ corespund nivelului logic de intrare L iar cele cu valori mai mari decât $+V/2$ corespund nivelului logic de intrare H.

- 5) tranziția tensiunii de ieșire între valorile 0 și $+V$ se face instantaneu și aproape simultan cu tranziția tensiunii de intrare care a generat-o (timpul de tranziție t_r , t_f și timpul de propagare t_p definiți în cap.2 au valoarea 0);
- 6) nu există nici o restricție asupra numărului de intrări;
- 7) impedanțele de intrare au valori foarte mari (ideal infinit), ceea ce înseamnă

că valorile curenților de intrare sunt neglijabile.

În general, ieșirea unei porți logice constituie o sursă de semnal pentru intrările altor porți logice, așa cum se arată în fig.4.2. Această sursă de semnal (poarta 1) poate fi “perturbată” de către surse de semnale parazite, exterioare sau interioare circuitului, numite surse de *zgomot*.

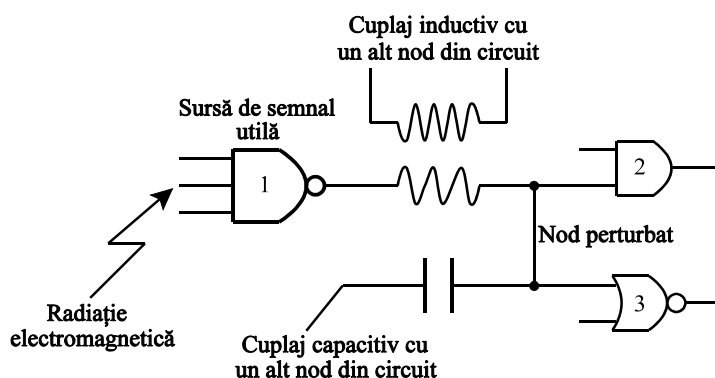


Fig.4.2 Surse de zgomot în circuitele digitale

Tensiunea electrică din nodul perturbat este diferită de tensiunea sursei de semnal utile care comandă nodul; diferența dintre aceste tensiuni se numește *zgomot*. Dacă amplitudinea zgomotului este prea mare atunci este posibil să se producă erori logice la ieșirile porților 2 și 3. Dacă însă amplitudinea zgomotului este mai mică decât o valoare critică, numită *margine de zgomot*, atunci valorile logice de la ieșirile porților 2 și 3 sunt cele corecte; în acest caz porțile 2 și 3 atenuează puternic zgomotul. În circuitele digitale nu are loc acumularea zgomotului de la un subcircuit la altul așa cum se întâmplă în circuitele analogice. Marginea de zgomot pentru o poartă logică ideală are valoarea:

$$NM (\text{noise margin}) = +V/2 \quad (4.1)$$

Proprietățile definite pentru o poartă logică ideală nu pot fi obținute pentru circuitele fizice în nici una dintre tehnologiile de fabricare a circuitelor integrate. Forma generală a caracteristicii de transfer în tensiune a unei porți logice reale este desenată în fig.4.3. Benzile LOW, HIGH de la intrare și de la ieșire se definesc cu ajutorul punctelor A, B, C, D în care panta caracteristicii de transfer are valoarea +1 sau -1:

$$\left| \begin{array}{l} V_{IL} \text{ } 0 [0, V_{ILmax}], V_{IH} \text{ } 0 [V_{IHmin}, +V] \\ V_{OL} \text{ } 0 [0, V_{OLmax}], V_{OH} \text{ } 0 [V_{OHmin}, +V]; V_{OLmax} < V_{ILmax} \text{ și } V_{OHmin} > V_{IHmin} \end{array} \right. \quad (4.2)$$

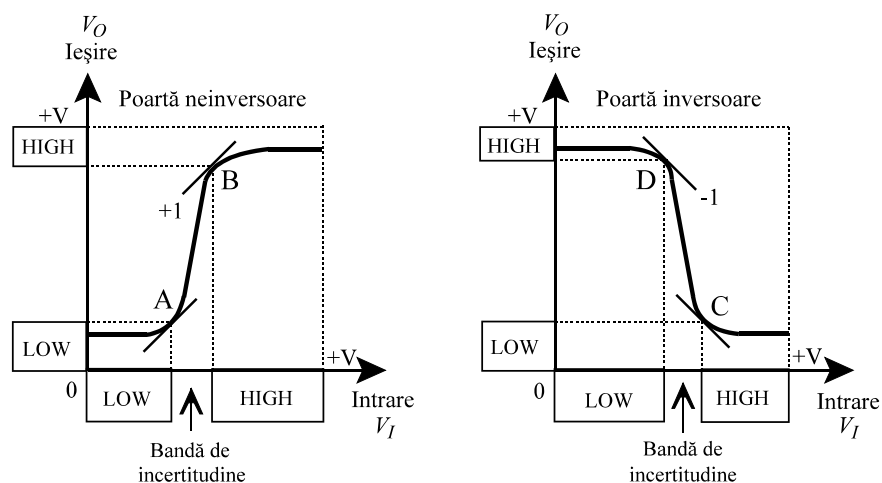


Fig.4.3 Caracteristici de transfer în tensiune ale porților logice reale

Este de dorit ca banda de incertitudine la intrare $[V_{ILmax}, V_{IHmin}]$ să fie cât mai îngustă. Tensiunile de ieșire V_{OL} și V_{OH} depind de toleranțele procesului de fabricare, de variațiile temperaturii, de variațiile tensiunii de alimentare și de “gradul de încărcare” a porții logice sau de fanout.

Pentru o poartă reală se definesc două margini de zgomot:

$$NM_L = V_{ILmax} - V_{OLmax}, \quad NM_H = V_{OHmin} - V_{IHmin} \quad (4.3)$$

Aceste mărimi sunt în general diferite între ele și mai mici decât marginea de zgomot a porții ideale.

O poartă logică reală consumă putere de la sursa de alimentare. De asemenea, tranzițiile ieșirii se fac cu viteze finite ($t_r, t_f \dots 0$) și cu anumite întârzieri ($t_p \dots 0$) față de tranzițiile de la intrări. Mărimile t_r, t_f, t_{pHL} și t_{pLH} depind de tehnologia de fabricare, de structura interioară a porții, de valoarea tensiunii de alimentare și de fanout-ul porții; pentru a obține circuite logice cu viteze de operare cât mai mari trebuie impuse limitări de fanout pe căile de propagare critice. În toate tehnologiile de fabricare a circuitelor integrate digitale există restricții cu privire la numărul de intrări într-o poartă logică elementară.

Complexitate circuitelor digitale care pot fi realizate sau integrate pe un singur chip depinde în principal de dimensiunile fizice ale porților logice și de puterea consumată de la sursa de alimentare și disipată sub formă de căldură; cu cât puterea consumată pe poartă este mai mică și dimensiunile componentelor sunt mai mici, cu atât densitatea de integrare poate fi mai mare.

În paragrafele următoare sunt prezentate particularitățile porților logice și subcircuitelor realizate în diferite tehnologii de fabricare a circuitelor integrate.

4.1 Circuite logice cu tranzistoare bipolare

4.1.1 Circuite RTL (*resistor-transistor logic*)

Acestea au fost primele circuite integrate digitale comerciale, introduse pe piață în 1962. Denumirea lor reflectă structura compusă numai din rezistoare și din tranzistoare bipolare. Circuitele integrate RTL fac parte din categoria circuitelor SSI (small-scale integrated); un astfel de circuit conține până la 10 porți NOR cu maxim 4 intrări. Structura unei porți NOR2 este desenată în fig.4.4.

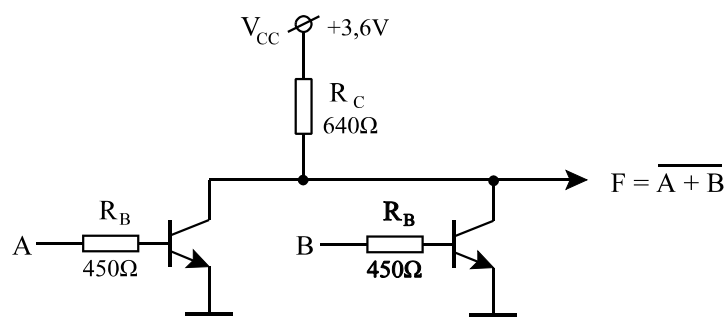


Fig.4.4 Poarta RTL NOR2

Caracteristicile electrice ale porții RTL sunt:

$$\begin{aligned}
 V_{ILmax} &= 0,7V & V_{IHmin} &= 0,8V \\
 V_{OLmax} &= 0,2V & V_{OHmin} &= 1,2V \\
 NM_{Lmin} &= 0,5V & NM_{Hmin} &= 0,4V \\
 fanout_{max} &= 5 \\
 \text{puterea medie disipată } PD &= 16mW \\
 \text{timp de propagare } t_p &= 12ns.
 \end{aligned}$$

Avantajele circuitelor RTL sunt simplitatea structurală și puterea disipată mică. Dezavantajele constau în marginile de zgomot mici și diferența mică dintre nivelele logice de la ieșire (1V) în raport cu tensiunea de alimentare; tensiunea V_{OH} scade cu numărul de intrări RTL conectate la ieșirea F.

Observație: Lăsarea în gol a unei intrări RTL este echivalentă din punct de vedere logic cu aplicarea la acea intrare a unui nivel de tensiune L.

4.1.2 Circuite DTL (*diode-transistor logic*)

Circuitele DTL au apărut pe piață tot în anul 1962, la scurt timp după circuitele RTL și le-au înlocuit pe acestea din urmă în câțiva ani. Poarta logică

de bază din structura primelor circuite integrate DTL este poarta NAND desenată în fig.4.5. Subcircuitul format din diodele D_1 , D_2 și rezistorul R_1 realizează funcția logică AND; negarea logică sau inversarea este realizată de către tranzistorul Q.

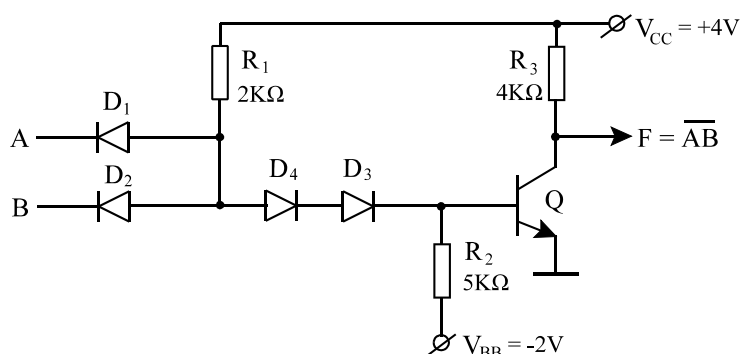


Fig.4.5 Poarta DTL NAND2

Când tranzistorul Q este blocat ($A = L$ sau $B = L$) se obține la ieșirea F tensiunea $V_F = V_{OH} = V_{CC} = +4V$. Această tensiune este independentă de numărul de intrări DTL conectate la ieșirea F deoarece diodele de tipul D_1 , D_2 ale sarcinilor sunt polarizate invers; căderea de tensiune pe rezistorul R_3 care se datorează curenților inverși prin aceste diode este neglijabilă.

Considerând $V_{D(on)} = 0,7V$ tensiunea pe o diodă în conducție (sau polarizată direct) iar $V_{BE(on)} = 0,7V$ și $V_{BE(sat)} = 0,8V$ tensiunile pe jonțiunea bază-emitor a tranzistorului corespunzătoare intrării în conducție și respectiv intrării în saturație, limita superioară a benzii LOW de la intrările porții este:

$$V_{ILmax} = 2V_{D(on)} + V_{BE(on)} - V_{D(on)} = 1,4V.$$

Limita inferioară a benzii HIGH de la intrările porții este:

$$V_{IHmin} = 2V_{D(on)} + V_{BE(sat)} - V_{D(on)} = 1,5V.$$

Când la ambele intrări A și B se aplică nivelul logic H, tranzistorul Q se află în saturație iar la ieșirea F se obține tensiunea $V_F = V_{OL} = V_{CE(sat)} = 0,1V$. Rezultă o diferență de $3,9V (= 4V - 0,1V)$ între nivelele H și L la ieșire, mult mai mare decât în cazul porții RTL. De asemenea, marginile de zgomot au valori mai mari:

$$NM_L = V_{ILmax} - V_{OL} = 1,4V - 0,1V = 1,3V;$$

$$NM_H = V_{OH} - V_{IHmin} = 4V - 1,5V = 2,5V.$$

În comparație cu poarta RTL, proprietățile porții DTL se aseamănă mai mult cu

acelea ale porții logice ideale. Un dezavantaj al structurii din fig.4.5 este sursa de tensiune negativă V_{BB} . Această sursă de tensiune are însă două utilități:

- menține în conducție permanentă diodele de deplasare a nivelului D_3 , D_4 și prin aceasta rezultă o caracteristică de transfer în tensiune mai abruptă;
- reduce timpul de comutare inversă a tranzistorului Q , din saturație în blocare și prin aceasta se mărește viteza de operare a porții.

O nouă structură de poartă DTL a apărut pe piață în 1964 și a devenit un standard de circuit integrat digital pentru aproape 10 ani. Schema acestei porți logice este desenată în fig.4.6.

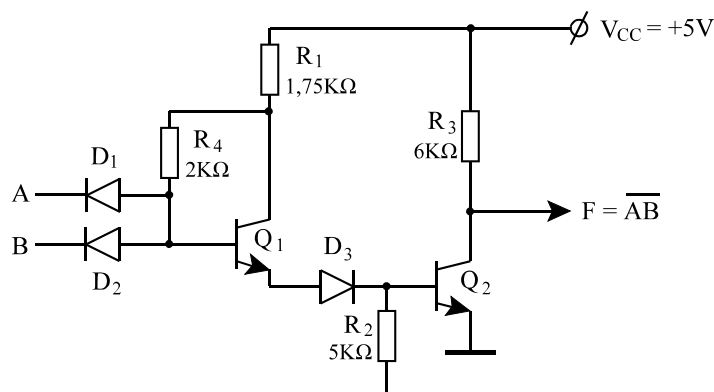


Fig.4.6 Poarta DTL NAND2 modificată

Dioda de deplasare D_4 din fig.4.5 este înlocuită în structura porții modificate cu tranzistorul Q_1 . Acesta operează în regiunea activă normală (RAN) când se aplică valoarea logică H la ambele intrări A, B și se blochează dacă se aplică o tensiune mai mică de 0,7V la cel puțin una dintre intrările A, B.

În ipotezele $V_{D(on)} = 0,7V$, $V_{BE(on)} = 0,7V$ și $V_{BE(sat)} = 0,8V$ se obțin aceleași limite pentru benzile LOW, HIGH de intrare ca în cazul porții DTL din fig.4.5:

$$V_{ILmax} = V_{D(on)} + 2V_{BE(on)} - V_{D(on)} = 1,4V;$$

$$V_{IHmin} = V_{BE(on)} + V_{D(on)} + V_{BE(sat)} - V_{D(on)} = 1,5V.$$

Nivelele logice de la ieșirea porții sunt $V_{OH} = V_{CC} = 5V$ și $V_{OL} = V_{CE(sat)} = 0,1V$ iar marginile de zgomot au valorile $NM_L = 1,3V$ și $NM_H = 3,5V$.

Puterea medie disipată pe poarta DTL modificată este $PD = 10mW$ iar timpul de propagare este $t_p = 30ns$ (viteza de operare este mai mică de 2,5 ori în comparație cu poarta RTL).

În starea H la ieșire, ambele tipuri de porți DTL pot să comande un număr mare de "sarcini" DTL (adică intrări DTL); limitarea fanout-ului apare în starea

L la ieșire, când tranzistorul Q sau Q_2 aflat în saturație trebuie să absoarbă curentul de la sursa V_{CC} care trece prin rezistorul R_3 și curenții sarcinilor DTL. Un calcul aproximativ al fanout-ului porților DTL este prezentat în continuare. Se consideră că factorul β_F de amplificare în curent al tranzistoarelor are valoarea 30.

- curentul prin rezistorul R_3 are valoarea $I_{R3} = 3,9V/4K\Omega = 0,975mA$ în cazul schemei din fig.4.5 și valoarea $I_{R3} = 4,9V/6K\Omega = 0,816mA$ în cazul schemei din fig.4.6;

- curentul printr-o diodă de tipul D_1 sau D_2 polarizată în catod cu $+0,1V$ are valoarea $I_D = 3,9V/2K\Omega = 1,95mA$ în cazul schemei din fig.4.5 și valoarea $I_D = 4,9V/3,75K\Omega = 1,30mA$ în cazul schemei din fig.4.6;

Acesta este cazul cel mai defavorabil. Dacă ambele diode D_1 și D_2 ale unei porți sunt în conducție atunci valorile curenților se reduc la jumătate.

- curentul injectat în baza tranzistorului Q (fig.4.5) are valoarea

$$I_B = (V_{CC} - 2V_{D(on)} - V_{BE(sat)})/R_1 - (V_{BE(sat)} + V_{BB})/R_2 = 0,34mA$$

iar curentul injectat în baza tranzistorului Q_2 (fig.4.6) are valoarea

$$I_{B2} = I_{E1} - V_{BE(sat)}/R_2 = 1,54mA - 0,16mA = 1,38mA$$

$$I_{E1} = \beta_F[(V_{CC} - R_1 I_{E1} - V_{BE(on)} - V_{D(on)} - V_{BE(sat)})/R_4] \text{ și } I_{E1} = 15 \cdot (2,8 - 1,75 I_{E1});$$

În calculul curentului de emitor al tranzistorului Q_1 s-a presupus că acesta funcționează în RAN. Această ipoteză este adevărată deoarece

$$V_{CE1} = V_{CC} - R_1 I_{E1} - V_{D(on)} - V_{BE(sat)} = 0,8V > V_{CE(sat)} = 0,1V.$$

- valorile maxime ale curenților pe care pot să îi absoarbă tranzistoarele saturate Q și Q_2 din sarcinile DTL pe care le comandă sunt

$$I_Q = \beta_F I_B - I_{R3} = 9,225mA$$

$$I_{Q2} = \beta_F I_{B2} - I_{R3} = 40,584mA;$$

- numărul maxim de sarcini DTL ale porții din fig.4.5 este

$$fanout_{max} \# I_Q/I_D = 9,225/1,95 = 4,7;$$

- numărul maxim de sarcini DTL ale porții din fig.4.6 este

$$fanout_{max} \# I_{Q2}/I_D = 40,584/1,30 = 31,2.$$

Calcululele anterioare nu iau în considerare toleranțele procesului de fabricație (de exemplu dispersia factorului de amplificare β_F) și nici efectele încărcării porților asupra vitezei de operare. O valoare de catalog tipică pentru încărcarea porții DTL din fig.4.6 este $fanout = 8$.

Observații:

- 1) Lăsarea în gol a unei intrări DTL este echivalentă din punct de vedere logic cu aplicarea la acea intrare a unui nivel de tensiune H.
- 2) Două sau mai multe ieșiri DTL pot fi conectate împreună, așa cum se arată în fig.4.7. Se realizează în acest mod, prin *cablare*, funcția logică WAND (wired-AND).

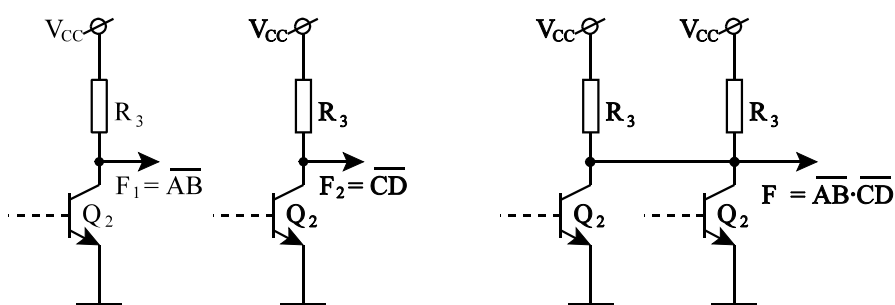


Fig.4.7 Realizarea funcției WAND cu porți DTL

4.1.3 Circuite TTL (transistor-transistor logic)

Aceste circuite sunt mai rapide decât circuitele DTL și au apărut pe piață în 1965. Deosebirea esențială dintre o poartă DTL și una TTL este ilustrată în fig.4.8.

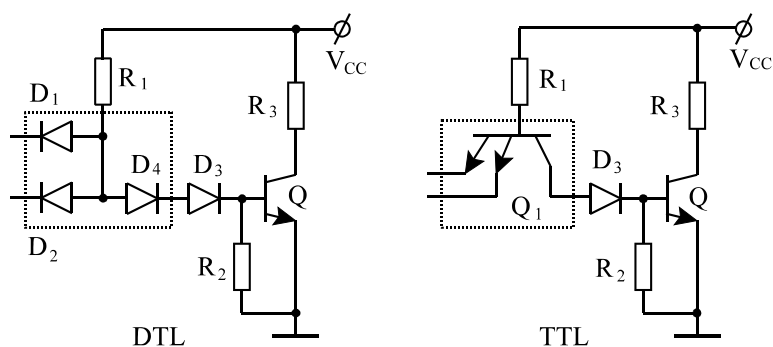


Figura 4.8

Diodele de intrare D_1 , D_2 și dioda de deplasare a nivelului D_4 din structura porții DTL sunt înlocuite în structura porții TTL cu tranzistorul *npn* multiemitor Q_1 . Prin aceasta se obține o reducere a ariei ocupate de etajul de intrare pe chip-ul

de siliciu și se micșorează timpul de propagare a porții.

Numărul de intrări într-o poartă TTL elementară este limitat la 8. Lăsarea în gol a unei intrări TTL este echivalentă din punct de vedere logic cu aplicarea la acea intrare a unui nivel de tensiune H, la fel ca în cazul porții DTL.

Au fost și sunt fabricate mai multe tipuri sau familii de circuite TTL. O parte dintre acestea sunt prezentate în continuare.

4.1.3.1 Familia TTL standard

În fig.4.9 este desenată structura porții NAND2 din familia de circuite TTL standard.

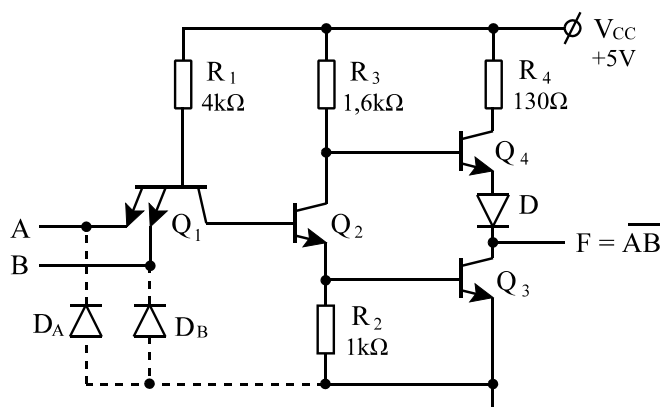


Fig.4.9 Poartă TTL standard NAND2

Tranzistorul Q_2 înlocuiește dioda de deplasare D_3 din structura porții DTL; acest tranzistor furnizează un curent mai mare în baza tranzistorului de ieșire Q_3 . Rezistorul R_3 din structura porții DTL este înlocuit cu tranzistorul Q_4 . Prin aceste modificări se măresc curenții de ieșire a porții I_{OL} și I_{OH} iar capacitățile de sarcină sunt încărcate sau descărcate mai repede, ceea ce înseamnă reducerea timpilor de tranziție t_r și t_f .

Caracteristica statică de transfer în tensiune a porții NAND2 este desenată în fig.4.10. În calculele care urmează se consideră $V_{D(on)} = 0,7V$, $V_{BE(on)} = 0,7V$, $V_{BE(sat)} = 0,8V$, $V_{CE(sat)} = 0,1V$, $\beta_F = 30$ și $\beta_R = 0,1$.

Dacă la cel puțin o intrare a porții se aplică o tensiune mică (de exemplu $V_{in} = 0,1V$), tranzistorul Q_1 se saturează deoarece curentul de bază este de aproximativ 1mA iar curentul de colector este limitat la curentul invers al joncțiunii B-C Q_2 (aproximativ 1nA). Tranzistoarele Q_2 și Q_3 sunt blocate iar la ieșire se obține tensiunea

$$V_{OH} = V_{CC} - V_{BE4(on)} - V_{D(on)} = 3,6V.$$

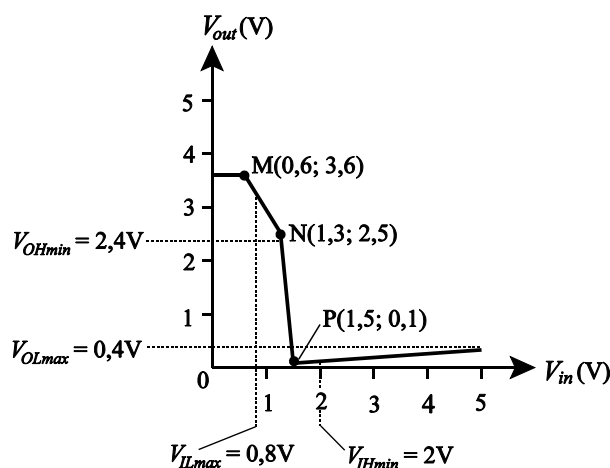


Fig.4.10 Caracteristica de transfer a porții TTL standard NAND2

Curentul printr-o sarcină conectată la ieșirea porții, I_{OH} , este curentul de emitor al tranzistorului Q_4 și “iese” din poartă.

Tranzistorul Q_2 intră în conducție (punctul M pe caracteristica de transfer) când $V_{B2} = 0,7V$, adică atunci când $V_{in} = V_{B2} - V_{CE1(sat)} = 0,6V$ (V_{in} reprezintă tensiunea cea mai mică dintre tensiunile aplicate la intrările A, B ale porții); curentul de bază al acestui tranzistor este furnizat de la sursa de alimentare prin joncțiunea B-C a tranzistorului Q_1 saturat.

Pe porțiunea MN a caracteristicii de transfer Q_1 este saturat, Q_2 și Q_4 sunt în conducție iar Q_3 este blocat. Punctul N corespunde intrării în conducție a tranzistorului Q_3 ; cea mai mică tensiune de intrare care determină acest lucru este $V_{in} = V_{BE3(on)} + V_{BE2(on)} - V_{CE1(sat)} = 1,3V$. În punctul N curentul prin Q_2 are valoarea $I_{E2} = V_{BE3(on)}/R_2 = 0,7mA$; tranzistorul Q_2 operează în RAN deoarece $V_{CE2} = V_{CC} - (R_2 + R_3) \cdot 0,7mA = 3,18V > 0,1V$. Tensiunea de ieșire corespunzătoare punctului N are valoarea $V_{out} = V_{CC} - R_3 \cdot 0,7mA - V_{BE4(on)} - V_{D(on)} = 2,48V - 2,5V$.

Creșterea tensiunii de intrare cu numai 0,2V peste nivelul 1,3V determină saturarea tranzistoarelor Q_2 , Q_3 și blocarea tranzistorului Q_4 (punctul P pe caracteristica de transfer):

$$V_{in} = V_{BE3(sat)} + V_{BE2(sat)} - V_{CE1(sat)} = 1,5V, V_{out} = V_{CE3(sat)} = 0,1V.$$

Curentul printr-o sarcină conectată la ieșirea porții, I_{OL} , este curentul de colector al tranzistorului Q_3 și “intră” în poartă. Tranzistorul Q_4 este blocat deoarece $V_{B4} = V_{BE3(sat)} + V_{CE2(sat)} = 0,9V$ este o tensiune insuficientă pentru a pune în conducție joncțiunea B- E_4 și dioda D conectate în serie.

Până la valoarea 1,5V a tensiunii V_{in} tranzistorul Q_1 este saturat iar curentul de

intrare al porții “iese” din emitorul acestuia. În intervalul $1,5V < V_{in} < 2,3V$, Q_1 operează în regim saturat invers datorită limitării tensiunii pe bază:

$$V_{B1} = V_{BC1(on)} + V_{BE2(sat)} + V_{BE3(sat)} = 0,7V + 0,8V + 0,8V = 2,3V.$$

Ambele joncțiuni ale tranzistorului Q_1 sunt polarizate direct, ca în regimul saturat, însă curentul de intrare al porții “intră” în emitorul lui Q_1 . Peste valoarea $2,3V$ a tensiunii V_{in} , Q_1 operează în regim activ invers, având joncțiunea B-E polarizată invers și joncțiunea B-C polarizată direct.

În regimul static de funcționare a porții, tranzistoarele Q_3 și Q_4 din etajul de ieșire nu se pot afla simultan în conducție; în regim dinamic însă, pe durata tranziției L_{YH} la ieșire, există posibilitatea ca tranzistorul Q_4 să intre în conducție înainte ca tranzistorul Q_3 să se blocheze. În această situație, limitarea la valori de siguranță a impulsului de curent absorbit de la sursa de alimentare prin Q_3 - Q_4 se realizează de către rezistorul R_4 .

În fig.4.10 sunt definite benzile LOW și HIGH de intrare și de ieșire pentru o poartă TTL standard:

$$V_{IL} \text{ 0 [0; 0,8V], } V_{IH} \text{ 0 [2V; 5V];}$$

$$V_{OL} \text{ 0 [0; 0,4V], } V_{OH} \text{ 0 [2,4V; 3,6V].}$$

În conformitate cu relația 4.3 de definiție a marginilor de zgomot, se obțin valorile:

$$NM_L = V_{ILmax} - V_{OLmax} = 0,8V - 0,4V = 0,4V;$$

$$NM_H = V_{OHmin} - V_{IHmin} = 2,4V - 2V = 0,4V.$$

Curenții de intrare într-o poartă TTL standard, considerând că un singur emitor al tranzistorului Q_1 este comandat iar ceilalți (dacă există) sunt lăsați în gol, au valorile:

$$I_{ILmax} = (V_{CC} - V_{BE1(sat)})/R_1 = 4,2V/4k\Omega = 1,05mA - 1mA;$$

$$I_{IHmax} = \beta_R I_{B1} = \beta_R (V_{CC} - 2,3V)/R_1 = 0,27V/4k\Omega - 67\mu A.$$

Dacă n emitori ale aceluiași tranzistor Q_1 sunt conectați simultan la nivelul logic L sau H (ceilalți, dacă mai există, sunt lăsați în gol) atunci curenții prin fiecare emitor au valorile $I_{IL} = 1mA/n$ și respectiv $I_{IH} = 67\mu A/n$.

Curenții de ieșire ai unei porți TTL standard se calculează astfel:

$$I_{OLmax} \# \beta_F I_{B3} = \beta_F (I_{E2} - V_{BE3(sat)}/R_2) = 30 \cdot (3,3mA - 0,8mA) = 75mA;$$

$$I_{E2} = I_{IHmax} \cdot (1 + 1/\beta_R) + (V_{CC} - V_{CE2(sat)} - V_{BE3(sat)})/R_3 = 0,73mA + 2,56mA = 3,3mA$$

$$I_{OHmax} = (V_{CC} - V_{BE4(sat)} - V_{D(on)} - V_{OHmin})/R_3 +$$

$$+ (V_{CC} - V_{CE4(sat)} - V_{D(on)} - V_{OHmin})/R_4 = 1,1V/1,6k\Omega + 1,8V/130\Omega = 14,5mA.$$

Încărcarea maximă a unei ieșiri TTL standard, din punct de vedere static, este:

$$fanout_{max} = \min \{I_{OLmax}/I_{ILmax}, I_{OHmax}/I_{IHmax}\} = \min \{75, 216\} = 75.$$

Observații:

1) Valorile curenților calculați mai sus și implicit fanout-ul depind de toleranțele procesului de fabricație. Valorile de catalog tipice sunt:

$$I_{ILmax} = 1,6\text{mA}; I_{IHmax} = 40\mu\text{A}; I_{OLmin} = 16\text{mA}; I_{OHmin} = 0,4\text{mA}; fanout = 10.$$

2) Scurtcircuitarea accidentală a unei ieșiri TTL cu nivelul logic L la borna “+” a sursei de alimentare distruge de obicei circuitul (curentul de scurtcircuit este direct proporțional cu factorul β_F și are de obicei valori mai mari de 75mA). Rezistorul R_4 asigură protecția la scurtcircuitul dintre ieșirea porții (când aceasta are nivelul logic H) și borna “-” a sursei de alimentare (masă):

$$\begin{aligned} I_{SC} = I_{E4} &= (V_{CC} - V_{BE4(sat)} - V_{D(on)})/R_3 + (V_{CC} - V_{CE4(sat)} - V_{D(on)})/R_4 = \\ &= 3,5\text{V}/1,6\text{k}\Omega + 4,2\text{V}/130\Omega = 2,18\text{mA} + 32,3\text{mA} = 34,5\text{mA}. \end{aligned}$$

Valoarea medie a curentului absorbit de la sursa de alimentare de o poartă TTL standard este 2mA; în starea H la ieșire curentul de alimentare este $I_{R1} = 1\text{mA}$ iar în starea L la ieșire curentul de alimentare este $I_{E2} = 3\text{mA}$. Rezultă că puterea medie disipată pe poartă este $PD = 2\text{mA} \cdot 5\text{V} = 10\text{mW}$, egală cu puterea disipată pe o poartă DTL. Timpul de propagare tipic al unei porți TTL standard ($t_p = 10\text{ns}$) este însă de 3 ori mai mic decât al unei porți DTL; produsul “putere disipată $\times$ viteză de operare” sau raportul PD/t_p este o mărime cu ajutorul căreia se compară performanțele dintre diferite familii de circuite integrate digitale. Creșterea de viteză a porții TTL se datorează în principal tranzistorului Q_1 , care determină micșorarea timpului de propagare t_{pLH} . Tranziția LYH de la ieșire este declanșată de o tranziție HYL la cel puțin una dintre intrările porții. Înainte de această tranziție toate intrările porții au nivelul H, tranzistorul Q_1 operează în regim activ invers iar tranzistoarele Q_2 și Q_3 sunt saturate. Tranziția HYL de la intrare determină $V_{CE1} = 1,5\text{V}$ și trecerea tranzistorului Q_1 în regim activ normal; sarcina electrică stocată în baza tranzistorului Q_2 “alimentează” curentul prin Q_1 care, imediat după tranziția de la intrare, are o valoare mare ($I_{C1} = \beta_F I_{B1} = 30\text{mA}$). Curentul I_{C1} “consumă” rapid sarcinile electrice stocate, astfel că Q_2 se blochează într-un timp mult mai scurt; după aceasta tranzistorul Q_1 intră în saturație. Sarcina stocată în baza tranzistorului Q_3 scade ca urmare a blocării lui Q_2 și se elimină prin rezistorul R_2 ; Q_3 se blochează mai târziu față de Q_2 însă blocarea lui Q_2 determină intrarea în conducție a tranzistorului Q_4 și declanșarea mai devreme a tranziției tensiunii de la ieșirea porții. Din momentul blocării tranzistorului Q_2 și până în momentul blocării lui Q_3 ambele tranzistoare ale etajului de ieșire se află în conducție.

Diodele D_A și D_B conectate la intrările porții TTL sunt polarizate invers în regim static și nu au nici o influență asupra funcționării prezentate anterior. În regim dinamic însă, tranzițiile rapide ale surselor de semnal care comandă intrările porții pot să producă oscilații de înaltă frecvență pe conexiunile A, B. Datorită acestor oscilații, tensiunile de la intrările porții depășesc plaja de alimentare.

O tensiune de intrare mai mare de +5V determină polarizarea inversă a joncțiunii B-E Q_1 ; rezistorul R_1 protejează circuitul în această situație, limitând curentul prin joncțiune.

Tensiunile de intrare negative sunt limitate la valoarea -0,7V de către diodele D_A , D_B . În absența acestor diode, când tranzistorul Q_1 este saturat, tensiunea de colector V_{C1} "urmărește" tensiunea negativă de intrare

$$V_{C1} = V_{in} + 0,1V$$

iar dioda de izolare colector-substrat se poate polariza direct (vezi fig.4.11); în acest caz este posibilă fie distrugerea circuitului, fie o funcționare defectuoasă ca urmare a producerii unor implsuri nedorite de tensiune în diferite noduri ale circuitului.

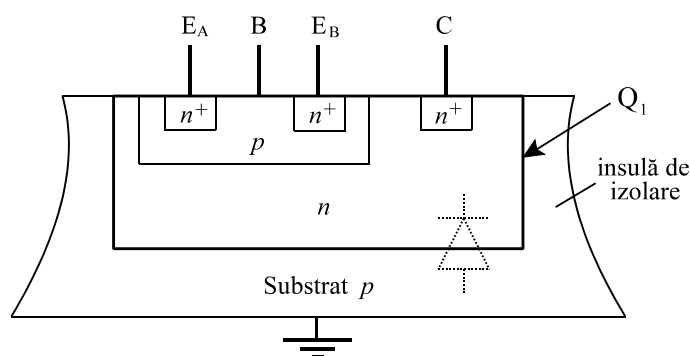


Figura 4.11

În fig.4.12 este desenată structura porții AND2 din familia TTL standard; performanțele acestei porți, $PD = 18mW$ și $t_p = 15ns$, sunt inferioare performanțelor porții NAND. Utilizarea porților AND în anumite subcircuite logice este mai avantajoasă decât utilizarea porților NAND. De exemplu, implementarea funcției $f(a,b,c) = abc$ utilizând o singură poartă elementară AND3 este de preferat în locul circuitului echivalent, compus dintr-o poartă NAND3 și un inversor; ansamblul NAND3-inversor disipă o putere mai mare ($PD_{totală} = 20mW$), are o viteză de operare mai mică ($T_p = 20ns$) și ocupă arie mai mare pe chip decât o poartă AND3.

Funcționarea porții logice elementare AND este foarte asemănătoare cu aceea

prezentată pentru poarta NAND. Structura porții AND conține în plus față de poarta NAND un etaj inversor, realizat cu tranzistoarele Q_5 , Q_6 și dioda de deplasare a nivelului D_2 .

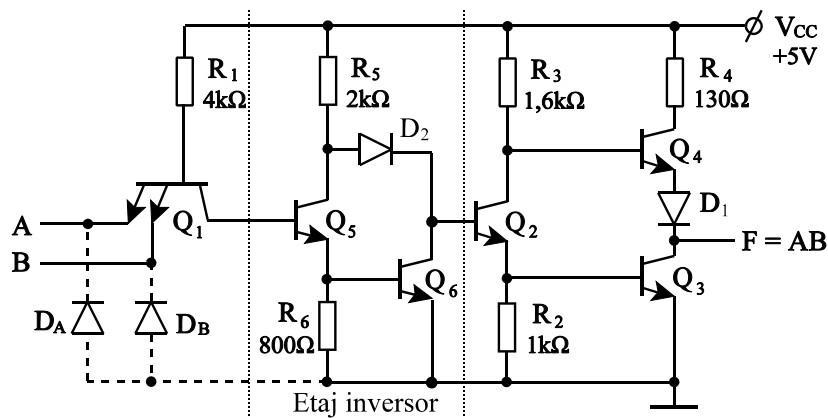


Fig.4.12 Poartă TTL standard AND2

În fig.4.13 este desenată structura porții NOR2 din familia TTL standard; performanțele acestei porți sunt aproape identice cu cele ale porții NAND.

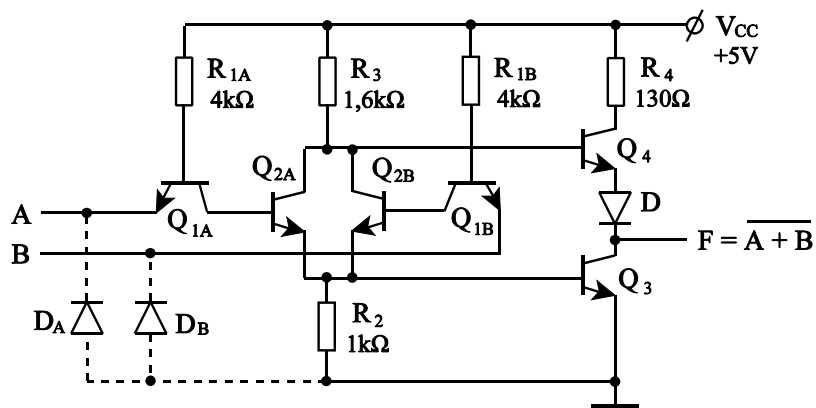


Fig.4.13 Poartă TTL standard NOR2

Operația logică OR este realizată la nivelul tranzistoarelor Q_2 conectate în paralel; dacă Q_{2A} sau Q_{2B} este saturat, adică dacă $A = H$ sau $B = H$, atunci și tranzistorul Q_3 este saturat iar la ieșirea F se obține nivelul logic L.

Poarta elementară OR se poate obține, ca și în cazul porții elementare AND,

prin introducerea în structura porții NOR a unor etaje inversoare ca cel din fig.4.12.

Structurile porților NAND și NOR pot fi “combinate”, obținându-se subcircuit de tipul AOI (AND-OR-INVERT). Un exemplu este reprezentat în fig.4.14.

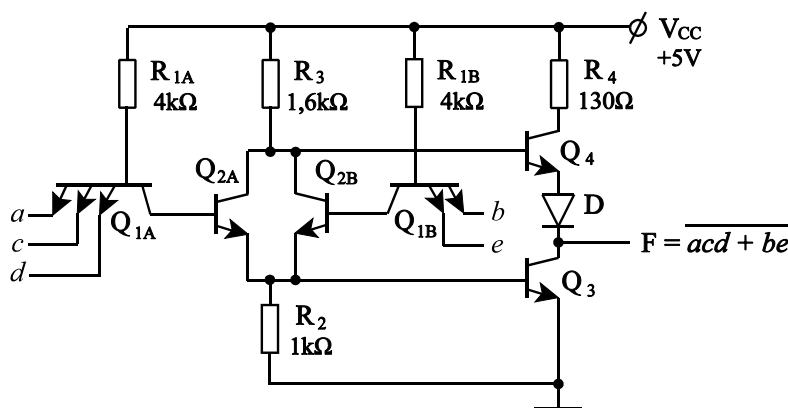


Fig.4.14 Subcircuit AOI

La nivel de poartă logică circuitul cu costul minim (sau complexitatea cea mai mică) care implementează funcția $F = \overline{acd + be}$, realizată de către subcircuitul AOI de mai sus, are structura desenată în figura următoare.

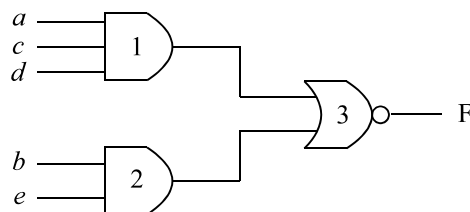


Figura 4.15

Dacă se înlocuiesc porțile 1, 2, 3 din fig.4.15 cu structurile TTL corespunzătoare (AND3, AND2 și respectiv NOR2), se obține un circuit logic “la nivel de tranzistor” echivalent din punct de vedere funcțional cu subcircuitul AOI din fig.4.14 dar cu performanțe mai reduse: puterea medie disipată și aria ocupată pe chip sunt de aproximativ 3 ori mai mari iar viteza de operare este de aproximativ 2 ori mai mică.

Metodele de minimizare a funcțiilor logice prezentate în cap.2 se aplică într-o etapă de proiectare în care se caută reprezentări optime la nivel de poartă logică

a circuitelor, reprezentări care sunt independente de tehnologia de fabricare. În următoarea etapă de proiectare, reprezentările la nivel logic sunt transformate în reprezentări la nivel de tranzistor; acestea din urmă sunt mai detaliate din punct de vedere structural și sunt dependente de tehnologia de fabricare. Transformările de la nivel logic la nivel de tranzistor, sau *mapările* pe tehnologie, includ metode de optimizare (minimizare) specifice; subcircuitul AOI sunt un exemplu în acest sens.

Etajul de ieșire TTL standard nu este conceput pentru realizarea funcției WAND. Funcția cablată AND poate fi realizată cu circuite TTL “cu colector în gol”. Structura unei porți NAND din această familie de circuite TTL este reprezentată în fig.4.16.

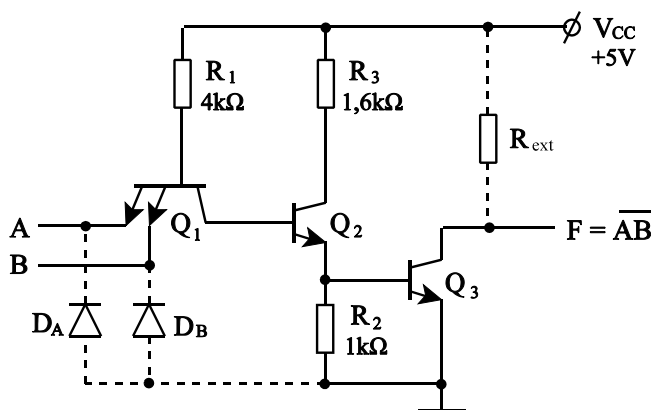


Fig.4.16 Poartă TTL cu colector în gol

Această poartă logică se obține prin eliminarea tranzistorului Q_4 din structura porții NAND2 standard reprezentată în fig.4.9. Rezistorul exterior R_{ext} asigură nivelul H la ieșire. Dimensionarea acestuia depinde de numărul de ieșiri TTL cu colector în gol care sunt conectate împreună și de numărul de intrări TTL care constituie sarcina nodului WAND. O schemă generală de cablare este desenată în fig.4.17; cele m porți TTL cu colector în gol pot fi de orice tip (AND, NAND, NOR), nu neapărat identice.

Când $F=L$, în cazul cel mai defavorabil, ieșirea unei singure porți (tranzistorul Q_3) trebuie să absoarbă curentul prin rezistorul R_{ext} și curenții sarcinilor TTL:

$$(V_{CC} - V_{OLmax})/R_{ext} + nI_{ILmax} < I_{max} \quad (4.4)$$

Valoarea I_{max} nu trebuie să depășească curentul maxim admis printr-un tranzistor de tip Q_3 .

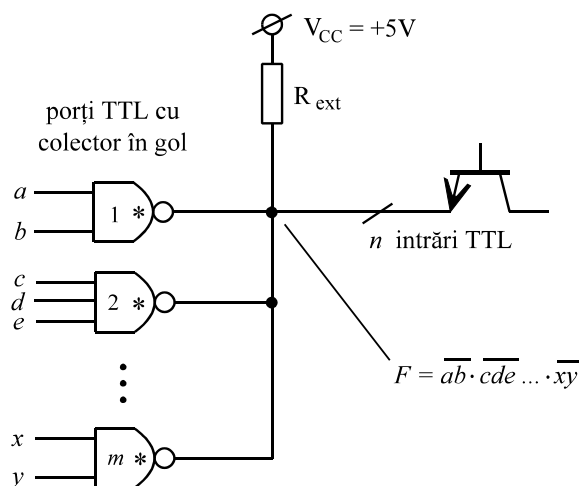


Fig.4.17 Realizarea funcției WAND cu porți TTL cu colector în gol

Când $F = H$, căderea de tensiune pe rezistorul R_{ext} datorată curenților absorbiți de la sursa de alimentare de cele n sarcini TTL nu trebuie să "altereze" nivelul H și nici marginea de zgomot NM_H :

$$V_{CC} - nI_{IHmax}R_{ext} > V_{OHmin} \quad (4.5)$$

(S-au neglijat curenții reziduali ai tranzistoarelor Q_3 cu colectorul în gol).

Din relațiile 4.4 și 4.5 se obține gama de valori admise ale rezistenței R_{ext} :

$$(V_{CC} - V_{OLmax})/(I_{max} - nI_{ILmax}) < R_{ext} < (V_{CC} - V_{OHmin})/nI_{IHmax} \quad (4.6)$$

Considerând $I_{max} = 25mA$ și $n = 10$ rezultă

$$4,6V/9mA < R_{ext} < 2,6V/0,4mA \text{ Y } R_{ext} \text{ 0 (511}\Omega; 6,5k\Omega).$$

Timpul de propagare t_{pLH} și timpul de tranziție t_r depind de R_{ext} și au valori mari în comparație cu porțile standard.

O altă categorie de circuite TTL care au etajul de ieșire modificat față de cel standard este TTL "cu trei stări". Cele trei stări sunt L, H și starea de înaltă impedanță Z4. Un circuit cu trei stări este la un moment dat fie "activ", fie "blocat". În modul activ circuitul are o caracteristică statică de transfer în tensiune identică cu a unei porți standard, stările sau nivelele logice la ieșire fiind L și H. În modul blocat ieșirea circuitului se află în starea Z4. Activarea sau blocarea se realizează cu ajutorul unei intrări de control sau de autorizare. Mai multe ieșiri din circuite cu trei stări pot fi conectate împreună cu condiția ca în orice moment, cel mult un singur circuit să fie activ. În nodul în care sunt

conectate ieșiri de circuite cu trei stări nu se obține funcția WAND ci se creează posibilitatea ca acel nod să fie comandat de mai multe surse de semnal. Această caracteristică este specifică sistemelor digitale cu arhitecturi orientate pe *bus-uri* sau *magistrale*.

Structura unei porți TTL cu trei stări este desenată în fig.4.18. Poarta este activă ($F = \overline{AB}$) când intrarea "Control" este pusă la nivelul H. Dacă Control = L atunci tranzistorul Q_1 se saturează iar Q_2, Q_3, Q_4 se blochează și $F = Z$.

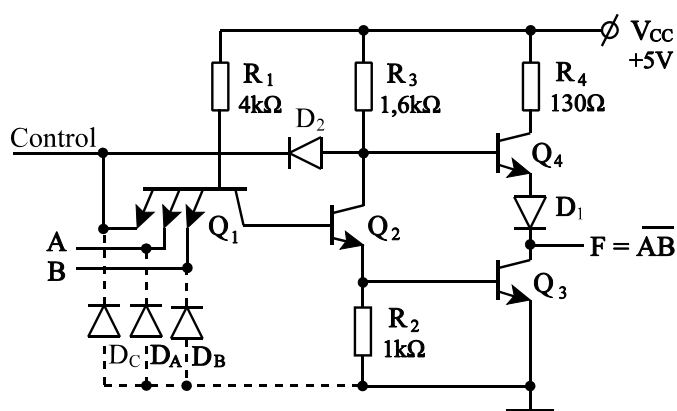


Fig.4.18 Poartă NAND2 cu trei stări

Curenții $I_{IH A}$, $I_{IH B}$ și $I_{IH Control}$ au aceeași valoare însă $I_{IL Control}$ ($-3,6\text{mA}$) este de aproape 4 ori mai mare decât $I_{IL A}$, $I_{IL B}$; intrarea Control are $fanin = 4$, adică este echivalentă cu 4 sarcini (intrări) TTL standard.

4.1.3.2 Familiile TTL-S și TTL-LS

Aceste circuite logice au apărut pe piață în 1970 și respectiv în 1975. Denumirile S și LS au semnificațiile *Schottky* și respectiv *Low-power Schottky*. Tranzistoarele din structurile acestor circuite, numite tranzistoare Schottky, au încorporate contacte metal(aluminiu sau platină)-semiconductor în regiunea colector-bază. Un astfel de contact redresor, numit *diodă Schottky*, limitează tensiunea directă pe joncțiunea B-C la 0,4V(aluminiu) sau 0,5V(platină) și împiedică intrarea în saturație a tranzistorului; timpul de comutare al unui tranzistor din conducție(RAN) în blocare este mai mic decât timpul de comutare din saturație în blocare. Integrarea diodei Schottky în structura unui tranzistor bipolar este o operație simplă din punct de vedere tehnologic și constă în extinderea contactului metalic de bază în regiunea colectorului, așa cum se arată simplificat în fig.4.19.

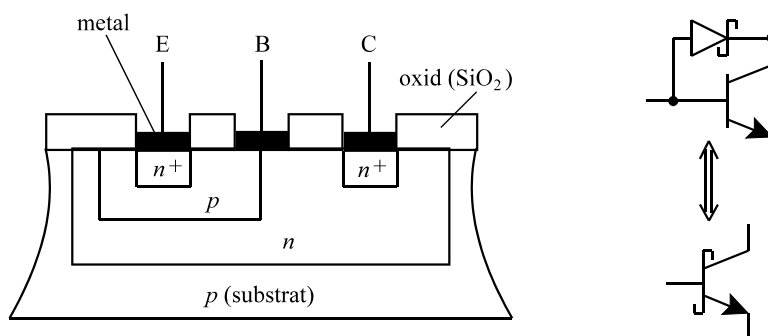


Fig.4.19 Structura și simbolul tranzistorului Schottky

Performanțele circuitelor TTL-S și TTL-LS sunt prezentate în tabelul următor.

Parametru	TTL standard	TTL-S	TTL-LS
V_{ILmax}/V_{IHmin}	0,8V/2,0V	0,8V/2,0V	0,8V/2,0V
V_{OLmax}/V_{OHmin}	0,4V/2,4V	0,5V/2,7V	0,5V/2,7V
I_{ILmax}/I_{IHmax}	-1,6mA/40μA	-2,0mA/50μA	-0,4mA/20μA
I_{OLmin}/I_{OHmin}	16mA/-0,4mA	20mA/-1,0mA	20mA/-1,0mA
t_p (tipic)	10 ns	3 ns	10 ns
PD (tipic)	10 mW	20 mW	2 mW

Structura porții NAND2 din familia TTL-S este desenată în fig.4.20. În afară de tranzistoarele Schottky, această schemă conține și alte îmbunătățiri față

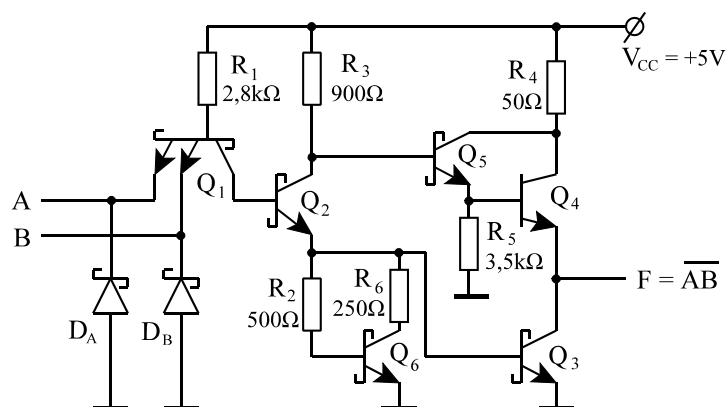


Fig.4.20 Poarta TTL-S NAND2

de poarta TTL standard NAND2. Dioda D din structura porții standard este înlocuită cu tranzistorul Q_5 ; tranzistorul compus Q_4 - Q_5 furnizează un curent I_{OH} mai mare și se reduce durata tranziției L YH la ieșire (t_r). Tranzistorul Q_4 nu este înlocuit cu unul de tip Schottky deoarece nu operează niciodată în saturație:

$$V_{CE4} = V_{BE4} + V_{CE5} > V_{CE(sat)}$$

Tranzistorul Q_6 înlocuiește rezistorul R_2 din structura porții standard; datorită acestei modificări tranzistorul Q_2 intră în conducție (la creșterea tensiunii de intrare V_{in}) simultan cu tranzistoarele Q_3 și Q_6 , astfel că în caracteristica statică de transfer în tensiune punctele M, N și P (vezi fig.4.10) devin coliniare. Cea mai mare parte din curentul tranzistorului Q_2 intră în baza tranzistorului Q_3 ; raportul I_{B3}/I_{B6} este determinat de grupul de rezistoare R_2 - R_6 . Q_6 determină blocarea mai rapidă a tranzistorului Q_3 , la fel cum Q_1 acționează asupra tranzistorului Q_2 , iar timpul de propagare t_{pLH} se reduce în comparație cu o poartă TTL standard.

Pe un chip cu puterea disipată limitată la 500 mW se pot integra maxim 25 de porți TTL-S; un astfel de circuit face parte din categoria circuitelor integrate pe scară mică (SSI). Numărul de porți TTL-LS care se pot integra pe același chip este 250; un astfel de circuit face parte din categoria MSI (medium-scale integrated). Structura porții NAND2 din familia TTL-LS este desenată în fig.4.21.

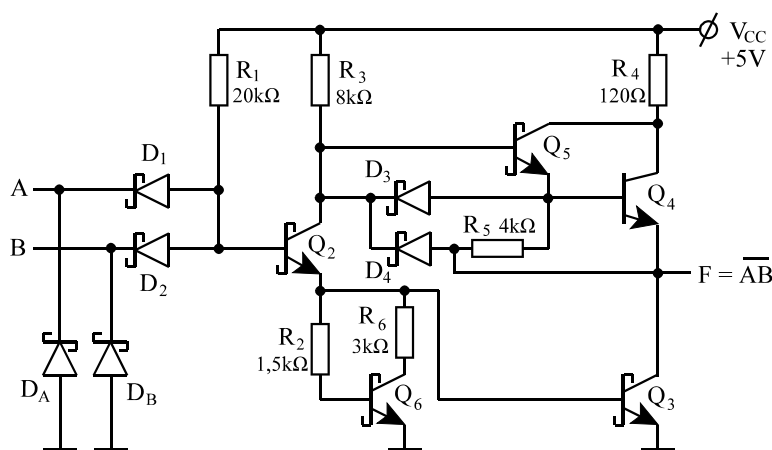


Fig.4.21 Poarta TTL-LS NAND2

Revenirea la etajul de intrare AND cu diode (în locul tranzistorului multiemitor Q_1) se justifică după cum urmează. Pe de o parte, tranzistorul Q_2 de tip Schottky nu se saturează și nu este deci necesară utilizarea unui tranzistor pentru extragerea sarcinii stocate în baza acestuia. Pe de altă parte, în cei 10 ani care

au trecut de la apariția primelor circuite TTL până la lansarea pe piață a circuitelor TTL-LS, tehnologia de fabricare a circuitelor integrate a înregistrat progrese semnificative iar dimensiunile interne minime admise au scăzut de la $12\mu\text{m}$ la $6\mu\text{m}$; ca rezultat, aria ocupată de către diodele de intrare în poarta TTL-LS s-a redus la aproximativ $1/3$ din aria tranzistorului multiemitor de la intrarea porții TTL standard și implicit s-au redus capacitățile parazite. O caracteristică statică de transfer în tensiune tipică pentru o poartă TTL-LS este desenată în fig.4.22.

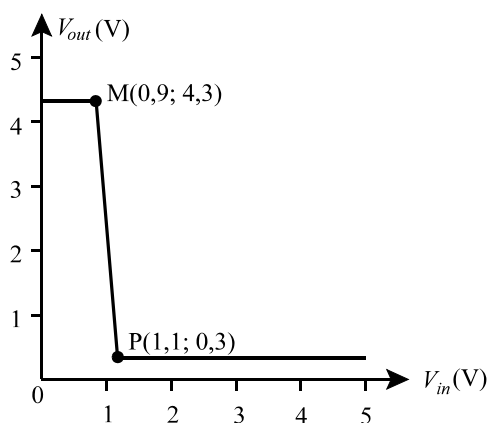


Fig.4.22 Caracteristica de transfer a porții TTL-LS NAND2

Punctul M de pe caracteristica de transfer corespunde intrării în conducție a tranzistoarelor Q_2 , Q_3 (și Q_6). Acest lucru are loc când tensiunea la intrare atinge valoarea:

$$V_{in} = V_{BE2(on)} + V_{BE3(on)} - V_{D1,2(on)} = 0,7\text{V} + 0,7\text{V} - 0,5\text{V} = 0,9\text{V}.$$

Dacă la ieșirea porții nu este conectată nici o sarcină atunci curentul prin rezistorul R_5 este nul și se obține:

$$V_{out} = V_{CC} - V_{BE5(on)} = 5\text{V} - 0,7\text{V} = 4,3\text{V}.$$

Punctul P de pe caracteristica de transfer corespunde conducției puternice a tranzistorului Q_3 , când tensiunea pe joncțiunea B-E atinge valoarea $V_{BE(sat)} = 0,8\text{V}$; în lipsa diodei de limitare Schottky din regiunea B-C acest tranzistor s-ar afla în saturație. Tensiunea la ieșire are valoarea:

$$V_{OL} = V_{BE3(sat)} - V_{BC3(on)} = 0,8\text{V} - 0,5\text{V} = 0,3\text{V}.$$

Tensiunea de intrare corespunzătoare punctului P este:

$$V_{in} = V_{BE2(sat)} + V_{BE3(sat)} - V_{D1,2(on)} = 0,8\text{V} + 0,8\text{V} - 0,5\text{V} = 1,1\text{V}.$$

Etajul de ieșire TTL-LS este ușor diferit față de cel al porții TTL-S. Blocarea tranzistorului Q_4 este “accelerată” prin includerea diodei D_3 în structura porții iar prin aceasta se micșorează timpul de propagare t_{pHL} . Durata tranziției HYL a tensiunii de ieșire (t_f) se reduce cu ajutorul diodei D_4 . Curenții diodelor D_3 și D_4 sunt “absorbiți” de tranzistorul Q_2 și devin o componentă a curentului care este injectat în baza lui Q_3 ; astfel, curenții prin D_3 și D_4 “grăbesc” intrarea în conducție a tranzistorului Q_3 .

Prin eliminarea tranzistoarelor Q_4 și Q_5 din etajele de ieșire ale porților TTL-S și TTL-LS se obțin circuite cu ieșiri de tip “colector în gol”, utile pentru realizarea funcției cablate AND. De asemenea, se pot obține și circuite cu trei stări; structura unei porți TTL-LS cu trei stări este desenată în fig.4.23.

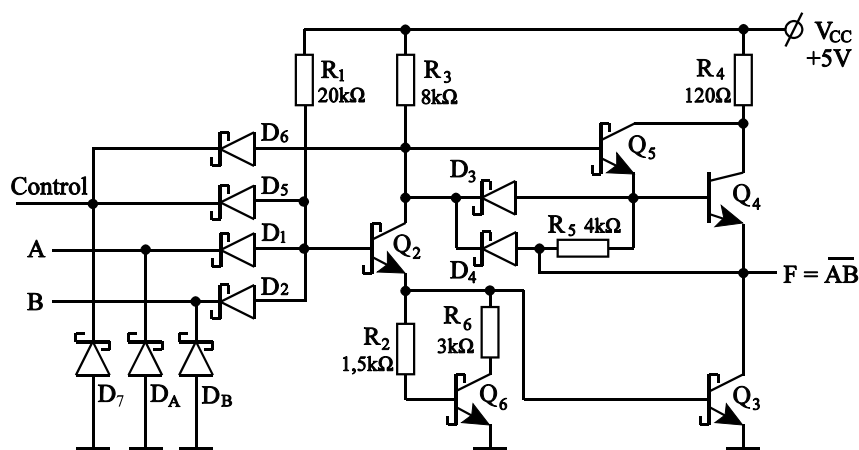


Fig.4.23 Poarta TTL-LS NAND2 cu trei stări

Poarta este activă, adică $F = \overline{AB}$, când se aplică nivelul logic H la intrarea Control. Aplicarea nivelului L la intrarea Control determină blocarea tuturor tranzistoarelor, situație în care ieșirea porții trece în starea de înaltă impedanță ($F = Z_4$).

Subcircuitule de tip AOI TTL-S și AOI TTL-LS se construiesc după principiul ilustrat în fig.4.14 pentru familia TTL standard; operația AND este realizată de către etajul de intrare (tranzistorul multiemitor Q_1 în fig.4.20 sau diodele D_1 , D_2 în fig.4.21), operația OR este realizată prin conectarea în paralel a tranzistoarelor de tip Q_2 iar negarea logică este realizată de către etajul de ieșire în “contratimp” Q_3 - Q_4 .

Circuitele TTL-S și TTL-LS au început să fie înlocuite începând cu anul 1980 de către variantele mai perfecționate TTL-AS (Advanced Schottky) sau

TTL-F (Fast) și respectiv TTL-ALS (Advanced Low-power Schottky); de la această dată circuitele TTL standard nu au mai fost utilizate în proiectarea noilor echipamente și sisteme digitale.

4.1.3.3 Familiile TTL-AS, TTL-F și TTL-ALS

Performanțele acestor familii de circuite TTL (la temperatura mediului ambiant egală cu 25°C) sunt prezentate în tabelul următor.

Parametru	TTL-AS	TTL-F	TTL-ALS
V_{ILmax}/V_{IHmin}	0,8V/2,0V	0,8V/2,0V	0,8V/2,0V
V_{OLmax}/V_{OHmin}	0,5V/2,7V	0,5V/2,7V	0,5V/2,7V
I_{ILmax}/I_{IHmax}	-2,0mA/0,2mA	-0,6mA/20μA	-0,2mA/20μA
I_{OLmin}/I_{OHmin}	20mA/-2,0mA	20mA/-1,0mA	4,0mA/-0,4mA
t_p (tipic)	1,5 ns	2,5 ns	4 ns
PD (tipic)	20 mW	4 mW	1 mW

Dependența timpului de propagare t_p de capacitatea C_L a sarcinii conectate la ieșirea porții este reprezentată în fig.4.24.

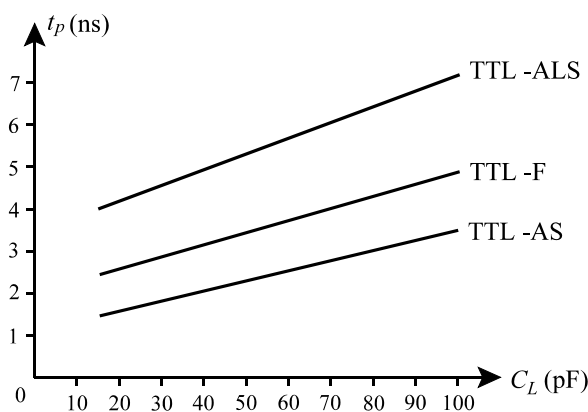


Figura 4.24

Structura porții NAND2 din familia TTL-AS este desenată în fig.4.25. Deosebirile față de poarta TTL-S din fig.4.20 sunt următoarele:

- etajul de intrare AND este realizat cu diodele D_1 , D_2 în locul tranzistorului multiemitor Q_1 ;
- s-a eliminat rezistorul R_4 din etajul de ieșire pentru mărirea curentului I_{OH} iar valorile rezistențelor R_1 și R_6 sunt ușor modificate;

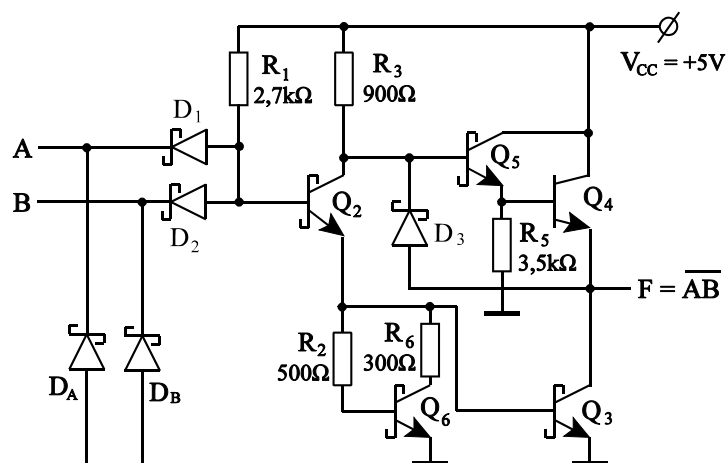


Fig.4.25 Poarta TTL-AS NAND2

- s-a introdus dioda D_3 pentru reducerea timpului de propagare t_{pHL} și a duratei tranziției HYL la ieșire t_f .

Structura porții NAND2 din familia TTL-F, desenată în fig.4.26, este asemănătoare cu structura porții TTL-LS (fig.4.21). Rezistorul R_1 din schema porții LS este înlocuit cu tranzistorul Q_7 ; acesta determină intrarea mai rapidă în conducție a tranzistorului Q_2 , atunci când au loc tranziții LYH la intrările A, B și reducerea timpului de propagare t_{pHL} . Grupul Q_8, D_7, D_8, D_9 determină blocarea mai rapidă a tranzistorului Q_3 când ieșirea F trece din L în H și implicit

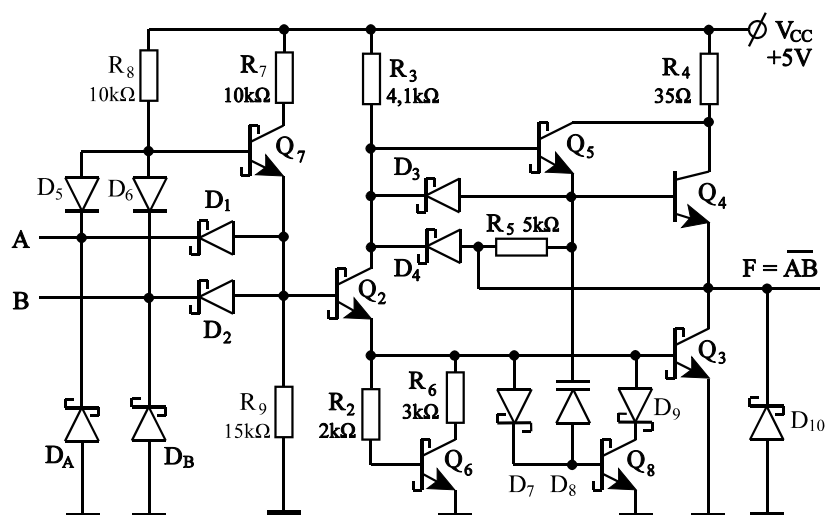


Fig.4.26 Poarta TTL-F NAND2

reducerea timpului de propagare t_{pLH} . Dioda D_{10} “amortizează” oscilațiile de pe conexiunea F, determinate de tranzițiile rapide ale tensiunii de la ieșirea porții.

Structura porții NAND2 din familia TTL-ALS este desenată în fig.4.27. Tranzistoarele *pn*p Q_A , Q_B înlocuiesc diodele D_5 , D_6 din schema anterioară și reduc curentul I_{IL} .

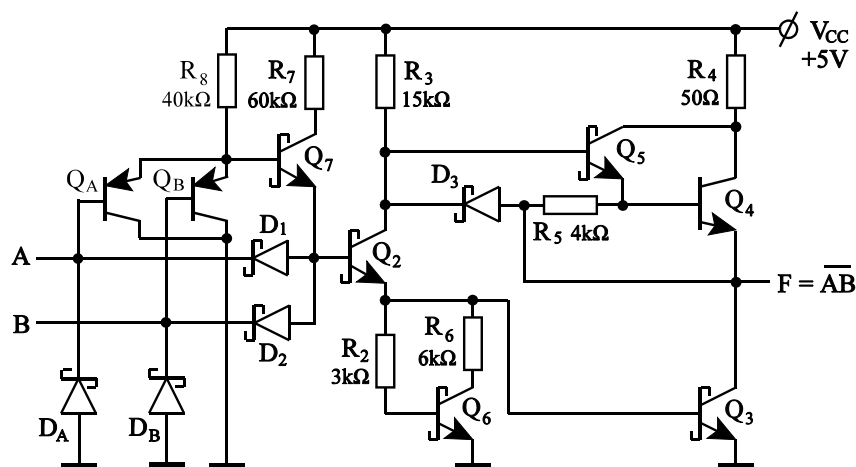


Fig.4.27 Poarta TTL-ALS NAND2

Fabricarea circuitelor TTL-AS, F și ALS a beneficiat de noile progrese tehnologice și anume de reducerea dimensiunilor interne minime de la 6μm la 3μm și de *implantarea ionică*.

4.1.4 Circuite ECL (*emitter-coupled logic*)

Aceste circuite au apărut pe piață în 1964 și s-au dezvoltat în paralel cu circuitele TTL. Toate circuitele ECL au la bază *comutatorul de curent* realizat cu o pereche de tranzistoare “cuplate în emitor” după cum se arată în fig.4.28. Valorile rezistențelor R_1 , R_2 și a sursei de curent constant I_{EE} pot fi alese astfel încât tranzistoarele Q_1 , Q_2 să nu se satureze; aceasta este una dintre justificările timpilor mici de propagare ai porților ECL ($t_p < 1$ ns). Dacă tensiunea de intrare este egală cu tensiunea de referință, $V_{in} = V_{ref}$, atunci tranzistoarele Q_1 , Q_2 operează în RAN și $I_{E1} = I_{E2} = I_{EE}/2$. Considerând $\beta_F = 100$, rezultă $I_{C1} = I_{C2} = I_{EE}/2$ iar tensiunile de la ieșirile circuitului au valorile $V_{out1} = -R_1 I_{EE}/2$ și respectiv $V_{out2} = -R_2 I_{EE}/2$. Modificarea tensiunii V_{in} cu numai ± 100 mV (Δ) față de valoarea de referință V_{ref} determină ca aproape tot curentul I_{EE} să treacă fie prin Q_1 fie prin Q_2 , adică se realizează o comutare a curentului I_{EE} între Q_1 și Q_2 .

Tensiunile de ieșire corespunzătoare acestor două cazuri au valorile

$$V_{out1} = -R_1 I_{EE}, V_{out2} = 0 \text{ și respectiv } V_{out1} = 0, V_{out2} = -R_2 I_{EE}.$$

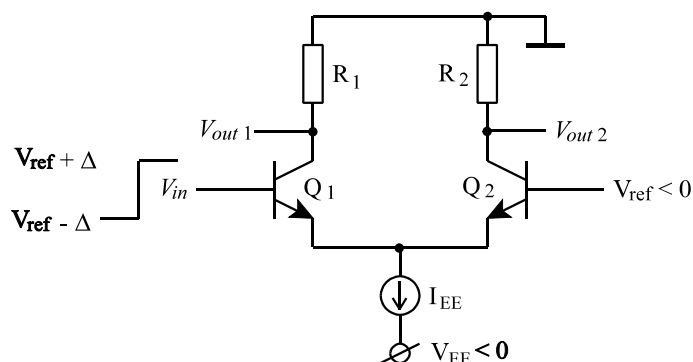


Fig.4.28 Comutator de curent

Structura unei porți OR2-NOR2 din seria ECL 10K este reprezentată în fig.4.29. Sursa de curent I_{EE} este obținută prin conectarea rezistorului R_3 între comutatorul de curent (Q_1, Q_3, Q_2) și sursa de tensiune V_{EE} .

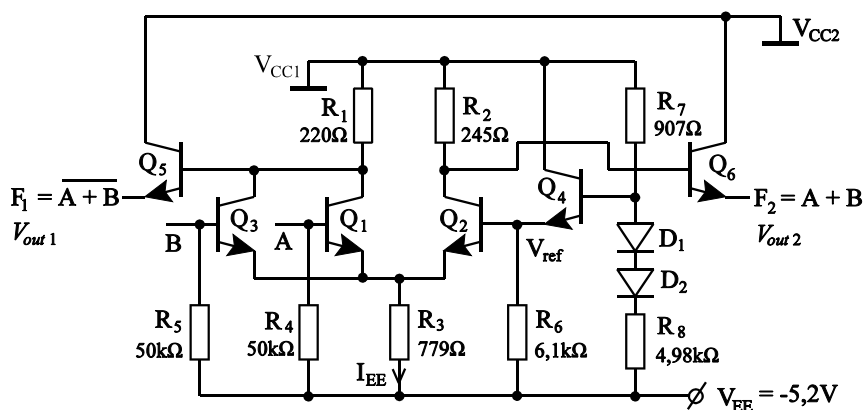


Fig.4.29 Poarta ECL 10K OR2-NOR2

Tranzistoarele Q_5, Q_6 (repetoare pe emitor) realizează deplasarea nivelului de tensiune la ieșiri cu 0,75V și asigură impedanțe de ieșire mici. Ieșirile complementare F_1, F_2 constituie surse de semnal pentru intrările altor porți ECL și sunt încărcate cu sarcini de tip R_4, R_5 ; pentru a se obține viteze mari de operare aceste ieșiri trebuie încărcate suplimentar cu rezistoare discrete, de

obicei cu $2k\Omega$ la $-5,2V$ sau cu 50Ω la $-2V$.

Circuitul din fig.4.29 este prevăzut cu două conexiuni de masă, una pentru comutatorul de curent și tensiunea de referință (V_{CC1}) iar cealaltă pentru repetoarele Q_5 , Q_6 (V_{CC2}). Conexiunea V_{CC1} are un potențial electric constant deoarece curentul prin comutatorul de curent este aproape constant; tensiunile de ieșire V_{out1} , V_{out2} sunt definite în raport cu V_{CC1} . Variațiile rapide ale curenților de sarcină, care circulă prin tranzistoarele Q_5 și Q_6 , produc fluctuații de potențial pe conexiunea V_{CC2} însă acestea nu afectează funcționarea subcircuitelor alimentate de la V_{CC1} .

Două sau mai multe ieșiri ECL pot fi conectate împreună; funcția logică realizată prin această cablare este WOR (wired-OR).

Lăsarea în gol a unei intrări ECL este echivalentă cu aplicarea la acea intrare a unei tensiuni cu nivelul L; în ambele cazuri se blochează tranzistorul de intrare (Q_1 sau Q_3 în fig.4.29).

Caracteristicile statice de transfer în tensiune ale porții ECL OR-NOR sunt reprezentate în fig.4.30; s-a considerat $V_{BE(on)} = 0,75V$ și valori suficient de mari pentru factorul β_F astfel încât efectele curenților de bază ai tranzistoarelor să poată fi neglijate.

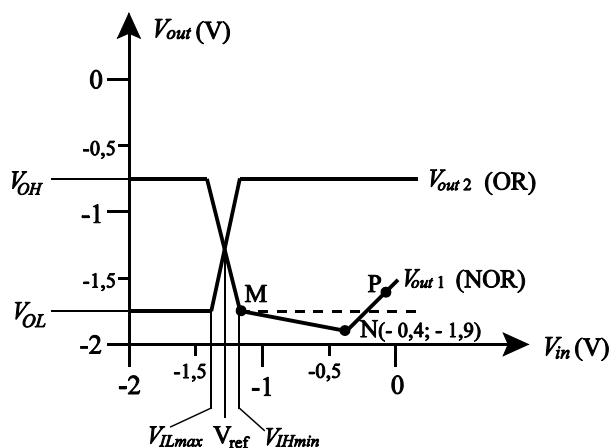


Fig.4.30 Caracteristicile de transfer ale porții ECL 10K OR2-NOR2

Tensiunea de referință are valoarea $V_{ref} = V_{B4} - V_{BE(on)} = -0,57 - 0,75 = -1,32V$.

$$V_{B4} = V_{CC1} - [R_7/(R_7 + R_8)](V_{CC1} - 2V_{BE(on)} - V_{EE}) = -0,57V$$

Dacă la intrările A și B se aplică nivele de tensiune LOW atunci tranzistoarele Q_1 , Q_3 se blochează iar curentul care circulă prin Q_2 și tensiunile de ieșire au valorile:

$$I_{EE} = (V_{ref} - V_{BE(on)} - V_{EE})/R_3 = 4,02mA;$$

$$V_{out1} = -V_{BE(on)} = -0,75V = V_{OH};$$

$$V_{out2} = -R_2 I_{EE} - V_{BE(on)} = -1,73V = V_{OL}.$$

S-a presupus că tranzistorul Q_2 operează în RAN; această ipoteză este adevărată deoarece $V_{CE2} = V_{EE} - (R_2 + R_3)I_{EE} = +1,09V > V_{CE(sat)}$.

Dacă la cel puțin una dintre intrările A sau B se aplică tensiuni cu nivelul HIGH atunci Q_2 se blochează iar curentul I_{EE} circulă prin Q_1 sau Q_3 . Curentul I_{EE} crește proporțional cu tensiunea V_{in} pe porțiunea MN a caracteristicii NOR; punctul N corespunde intrării în saturație a tranzistorului Q_1 sau Q_3 . Pentru tensiuni de intrare mai mari decât $-0,4V$, tensiunea de la ieșirea NOR crește (porțiunea NP a caracteristicii de transfer). În modul normal de operare a porții ECL, tensiunile de intrare sunt mai mici decât $-0,7V$ și nu se saturează nici un tranzistor.

Caracteristicile electrice tipice ale porților ECL 10K, la 25EC, sunt

$$V_{ILmax}/V_{IHmin} = -1,4V/-1,2V$$

$$V_{OL}/V_{OH} = -1,7V/-0,9V$$

$$NM_L/NM_H = 0,3V/0,3V$$

$$fanout_{max} = 10, PD = 24 \text{ mW}, t_p = 2 \text{ ns}.$$

Diodele D_1 și D_2 din structura porții ECL 10K compensează variațiile tensiunii V_{BE} cu temperatura astfel încât tensiunea de referință V_{ref} să fie tot timpul centrată între V_{OL} și V_{OH} , asigurând egalitatea marginilor de zgomot NM_L și NM_H . Mărimile V_{ref} , V_{OL} și V_{OH} depind de variațiile de temperatură:

$$\Delta V_{ref}/\Delta T = 1,1 \text{ mV/EC}, \Delta V_{OL}/\Delta T = 0,6 \text{ mV/EC} \text{ și } \Delta V_{OH}/\Delta T = 1,5 \text{ mV/EC}.$$

V_{ref} și V_{OL} depind și de variațiile tensiunii de alimentare V_{EE} :

$$\Delta V_{ref}/\Delta V_{EE} = 150 \text{ mV/V}, \Delta V_{OL}/\Delta V_{EE} = 250 \text{ mV/V}.$$

Aceste dependențe pot să perturbe funcționarea sistemelor digitale alcătuite din subsisteme care au surse de alimentare proprii și sunt situate în medii cu temperaturi diferite.

O dependență semnificativ mai mică a caracteristicilor statice de transfer în tensiune față de variațiile temperaturii și ale tensiunii de alimentare a fost obținută în cadrul seriei de circuite ECL 100K; tehnologia de fabricare și regulile de proiectare sunt similare cu cele utilizate la familia TTL-AS. Structura porții OR2-NOR2 din seria ECL 100K este reprezentată în fig.4.31. Coeficienții de temperatură ai tensiunilor de referință V_{RS} , V_{CS} și ai tensiunilor de ieșire V_{OL} , V_{OH} sunt mai mici de $0,1 \text{ mV/EC}$. Variațiile tensiunilor de referință și ale nivelului V_{OL} , cauzate de variațiile tensiunii de alimentare V_{EE} , sunt cu un ordin de mărime mai mici în comparație cu seria ECL 10K, și anume 10 mV/V și respectiv 15 mV/V .

Reducerea tensiunii de alimentare V_{EE} de la 5,2V la 4,5V are ca scop micșorarea puterii disipate.

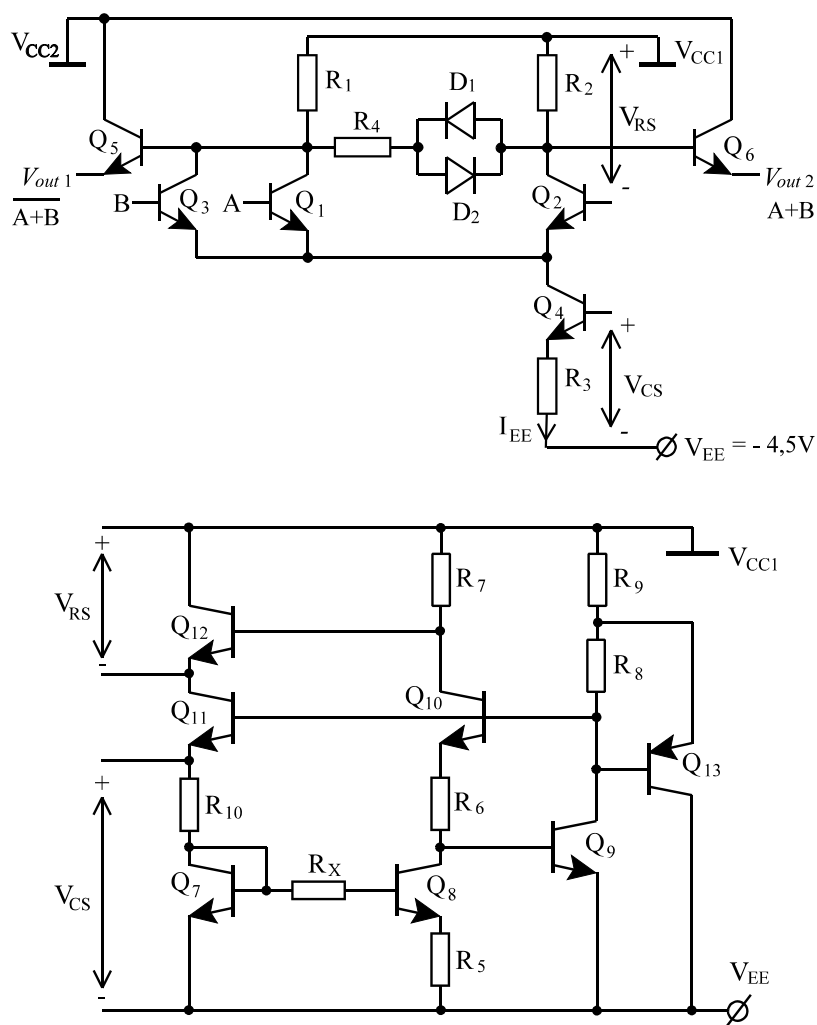


Fig.4.31 Poarta ECL 100K OR2-NOR2

Subcircuitul care generează tensiunile de referință V_{RS} și V_{CS} este utilizat în comun de către toate comutatoarele de curent integrate pe același chip. Curentul I_{EE} nu mai depinde de tensiunea de intrare V_{in} și are valoarea constantă

$$I_{EE} = (V_{CS} - V_{BE(on)})/R_3.$$

Tranzistorul regulator Q_{13} menține un curent constant prin Q_9 în raport cu

variațiile tensiunii V_{EE} ($I_{C9} = V_{BE13(on)}/R_8$). De exemplu, dacă I_{C9} tinde să crească datorită creșterii în modul a tensiunii V_{EE} atunci căderea de tensiune pe rezistorul R_8 ar crește proporțional cu I_{C9} și ar determina o creștere exponențială a curentului prin Q_{13} ; variațiile tensiunii V_{EE} sunt “preluate” integral de către rezistorul R_9 . De asemenea, variațiile tensiunii V_{EE} nu au efect nici asupra curenților I_{C8} și I_{C7} . Valorile constante ale curenților prin Q_9 și Q_8 implică valori constante ale tensiunilor V_{BE9} și respectiv V_{R6} , V_{R7} ; tensiunea V_{BE12} este constantă deoarece I_{C7} este constant. Rezultă că și tensiunile de referință V_{RS} , V_{CS} sunt aproape insensibile la variațiile tensiunii de alimentare:

$$V_{RS} = V_{R7} + V_{BE12}, V_{CS} = V_{R6} + V_{BE9}.$$

Tensiunea $V_{R5} = V_{BE7} - V_{BE8}$ are un coeficient de temperatură pozitiv, ceea ce determină coeficienți de temperatură pozitivi și pentru tensiunile V_{R6} și V_{R7} deoarece:

$$V_{R6} = (R_6/R_5)V_{R5}, V_{R7} = (R_7/R_5)V_{R5}.$$

Coeficienții de temperatură negativi ai tensiunilor V_{BE9} și V_{BE12} sunt compensați de coeficienții pozitivi ai tensiunilor V_{R6} și respectiv V_{R7} , astfel că tensiunile de referință sunt aproape insensibile și la variațiile de temperatură.

Nivelele logice de ieșire V_{OL} și V_{OH} sunt determinate cu ajutorul tensiunilor de referință și sunt foarte puțin afectate de variațiile tensiunii de alimentare V_{EE} ; variațiile de temperatură modifică valoarea curentului I_{EE} datorită reducerii cu 1,5 mV/EC a tensiunii V_{BE4} însă efectul asupra tensiunilor V_{OL} și V_{OH} se anihilează cu ajutorul grupului R_4 , D_1 , D_2 .

Porțile ECL din seria 100K au timpul de propagare tipic de 0,75 ns și disipă 40 mW; caracteristicile de transfer sunt reprezentate în fig.4.32.

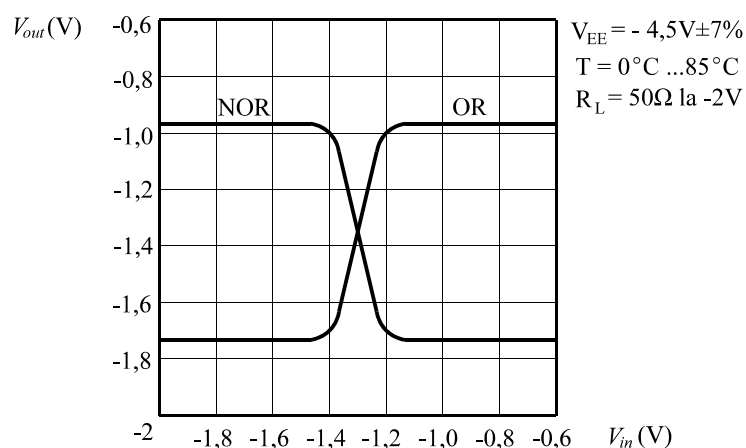


Fig.4.32 Caracteristicile de transfer în tensiune ale porții ECL 100K

4.1.5 Circuite I²L (*integrated injection logic*)

Aria ocupată pe chip și puterea disipată de porțile TTL și ECL sunt relativ mari, astfel că scara de integrare a acestor circuite este mică și medie (SSI, MSI). Utilizând tehnologii de fabricare similare și aceleași reguli de proiectare ($5\mu\text{m}$) se obține o densitate a porților I²L de 10 ori mai mare decât a porților TTL-LS; scara de integrare a circuitelor I²L este LSI (large-scale integrated).

4.1.5.1 Familia I²L standard

Circuitul de bază I²L este inversorul reprezentat în fig.4.33. Structura acestuia conține un tranzistor *pnp* lateral (*injectorul de curent* I_0) și un tranzistor multicolector *nnp* vertical (inversorul propriu-zis); numărul de colectori este cuprins între 2 și 5.

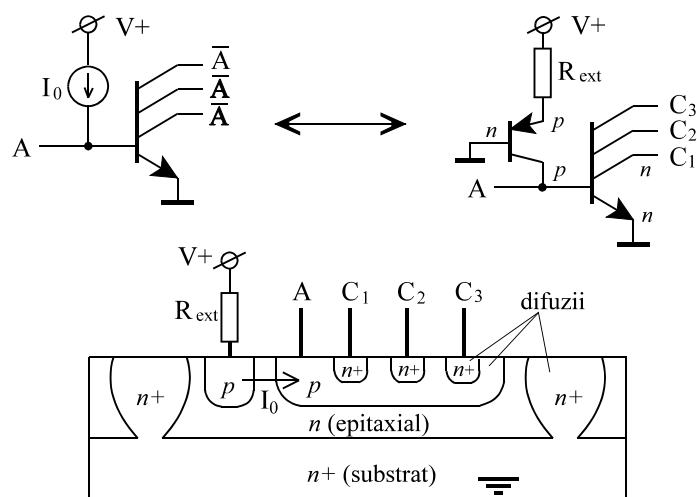


Fig.4.33 Poarta I²L standard

Prin conectarea emitorului tranzistorului *nnp* la substrat se elimină conexiunile de emitor și astfel se obțin economii semnificative de arie.

Valoarea tipică a tensiunii de alimentare V_+ este 1V. Curentul injectat I_0 poate fi reglat într-o plajă foarte mare, de la 1nA la 1mA, prin intermediul tensiunii V_+ și a rezistenței exterioare R_{ext} . Creșterea valorii curentului I_0 determină creșterea puterii disipate dar și reducerea timpului de propagare; produsul $PD \times t_p$ este practic constant iar prin reglarea curentului injectat se poate face un compromis între PD și t_p , în funcție de aplicație.

Caracteristica statică de transfer în tensiune a inversorului I²L este desenată în

fig.4.34; s-a considerat $V_{BE(on)} = 0,7V$, $V_{BE(sat)} = 0,8V$ și $V_{CE(sat)} = 0,1V$.

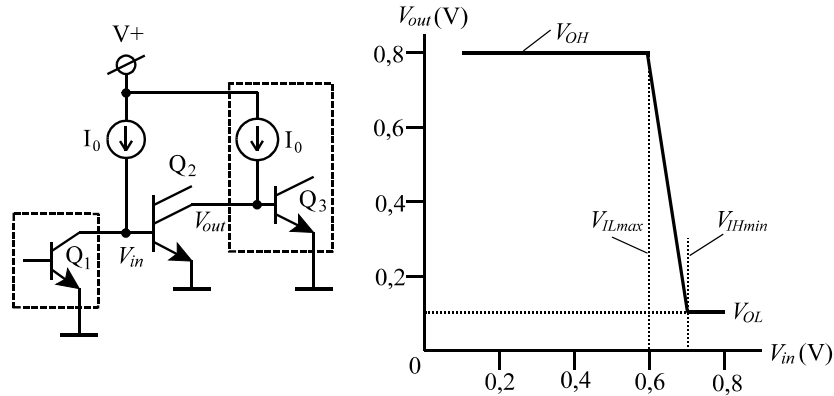


Fig.4.34 Caracteristica de transfer a porții I²L standard

Dacă tranzistorul Q_1 (sursa de semnal a inversorului) este saturat atunci acesta absoarbe curentul I_0 al injectorului conectat în baza tranzistorului Q_2 ; în această situație $V_{in} = V_{CE1(sat)}$, Q_2 se blochează iar tensiunea de la ieșirea inversorului este determinată de tranzistorul Q_3 saturat și anume $V_{out} = V_{BE(sat)} = V_{OH}$. Dacă Q_1 este blocat atunci curentul I_0 este injectat în baza tranzistorului Q_2 , care se saturează și rezultă $V_{in} = V_{BE(sat)}$, $V_{out} = V_{CE(sat)} = V_{OL}$.
Din caracteristica de transfer în tensiune a porții I²L rezultă:

$$V_{ILmax} = 0,6V; V_{IHmin} = 0,7V; NM_L = 0,6 - 0,1 = 0,5V; NM_H = 0,8 - 0,7 = 0,1V.$$

Valorile mici ale nivelelor logice și ale marginilor de zgomot nu sunt critice pentru funcționarea unui sistem digital care este integrat pe un singur chip. Pentru comunicarea cu exteriorul, la fiecare pin de intrare și de ieșire a unui circuit integrat I²L sunt prevăzute subcircuite de translație a nivelelor logice și buffere (amplificatoare); de obicei nivelele logice și marginile de zgomot la pini sunt TTL.

Implementarea funcțiilor logice complexe cu circuite I²L se realizează prin cablare (WAND), adică prin conectarea împreună a două sau a mai multor ieșiri din diferite inversoare; un exemplu este ilustrat în fig.4.35. Nu există o limitare a numărului de colectori care pot fi legați împreună însă sursa de semnal obținută în acest mod comandă de regulă un singur inversor. Factorul de amplificare în curent al tranzistoarelor multicolector are o valoare relativ mică ($\beta_F - 5$). Acest factor limitează numărul de colectori N ai unui tranzistor, adică fanout-ul circuitului de bază I²L:

$$I_{\text{colector npn total}} = N \cdot I_0 \# \beta_F \cdot I_B = \beta_F \cdot I_0 \text{ } Y \text{ } N \# \beta_F. \quad (4.7)$$

Relația 4.7 reprezintă condiția de saturație a tranzistorului multicolector în cazul cel mai defavorabil, când fiecare colector trebuie să absoarbă I_0 .

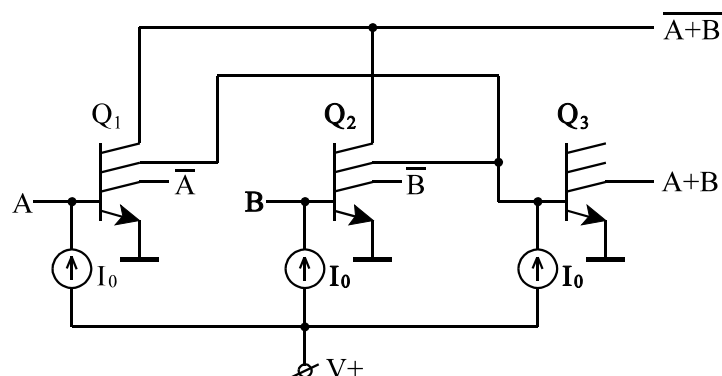


Fig.4.35 Porți logice I^2L NOR2 și OR2

O comparație între performanțele circuitelor I^2L și TTL-LS, fabricate cu tehnologii și reguli de proiectare similare ($5\mu\text{m}$), este prezentată prin intermediul tabelului următor.

parametru	TTL-LS	I^2L
densitate de integrare (porți/ mm^2)	10 - 20	100 - 200
$PD \times t_p$ (pJ)	20	1 - 2
t_p (ns)	5 - 10	10 - 20
tensiune de alimentare	5V	1V
curent de alimentare pe poartă	0,2mA - 1mA	1nA - 1mA

4.1.5.2 Familia I^2L Schottky

Structura porții de bază I^2L Schottky și caracteristica statică de transfer în tensiune a acesteia sunt reprezentate în fig.4.36 și respectiv în fig.4.37. Regiunea de colector a tranzistorului *n*pn este slab dopată și se obține prin implantare ionică într-o zonă *p* difuzată; condiția de dopare slabă este necesară pentru realizarea diodelor Schottky în regiunea de colector. Aceste diode izolează colectorii unul față de altul și nu sunt necesare mai multe regiuni *n* de colector, separate ca în fig.4.33. Contactele metalice de colector (platină sau paladiu) pot fi concentrate pe o suprafață mai mică decât în cazul porții I^2L standard, ceea ce conduce la o creștere a densității de integrare. De asemenea, timpul de propagare a porții se reduce 2-3 ori ca urmare a micșorării gamei de

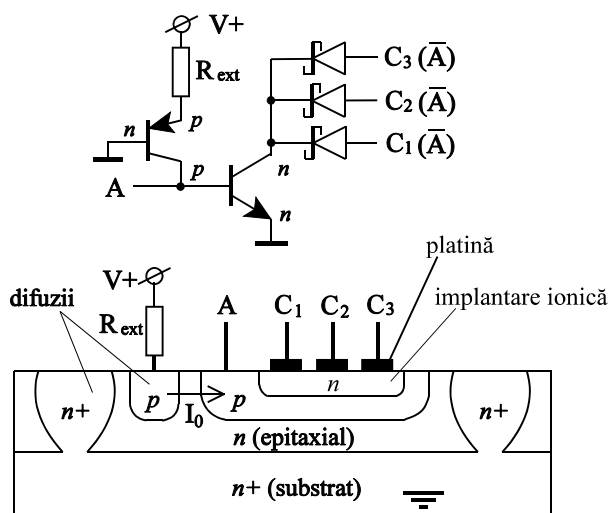


Fig.4.36 Poarta I²L Schottky

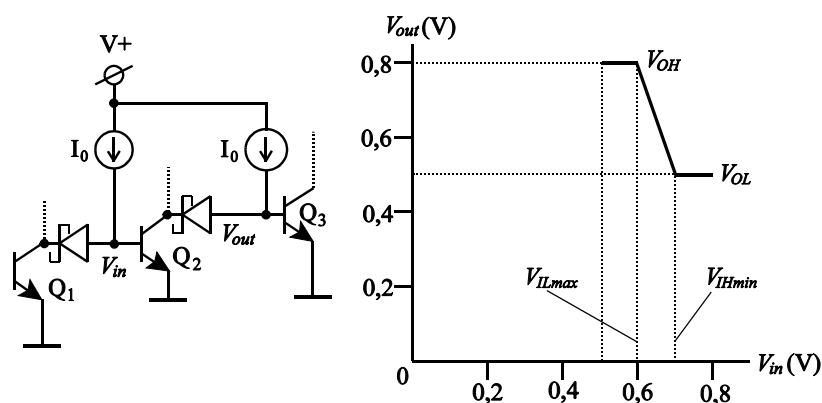


Fig.4.37 Caracteristica de transfer a porții I²L Schottky

variație a tensiunilor de intrare și de ieșire (încărcarea și descărcarea capacităților parazite se fac mai repede). Tensiunea directă a diodei Schottky are valoarea tipică 0,4V. Din caracteristica de transfer în tensiune rezultă:

$$V_{OL} = 0,5V; V_{OH} = 0,8V; V_{ILmax} = 0,6V; V_{IHmin} = 0,7V; NM_L = NM_H = 0,1V.$$

Produsul $PD \times t_p$ poate fi redus în continuare prin integrarea unei diode de limitare Schottky între baza și colectorul tranzistorului nnp , care să împiedice intrarea acestuia în saturație. În tehnologia de fabricare de $5\mu m$ se obțin parametrii $PD \times t_p = 0,2pJ$, $t_p = 2,5ns$, densitate de integrare = 250 porți/mm².

4.1.6 Circuite ISL (*integrated Schottky logic*)

Circuitul de bază ISL, reprezentat în fig.4.38, se aseamănă cu inversorul I^2L Schottky însă include două modificări majore:

- 1) factorul de amplificare în curent β_F al tranzistorului *npn* Q_1 are valori mari, ceea ce îmbunătățește semnificativ răspunsul tranzitoriu al inversorului;
- 2) saturarea tranzistorului Q_1 este limitată de către tranzistorul *pnp* Q_2 (dacă Q_1 se saturează atunci Q_2 operează în RAN și reduce curentul I_{B1}).

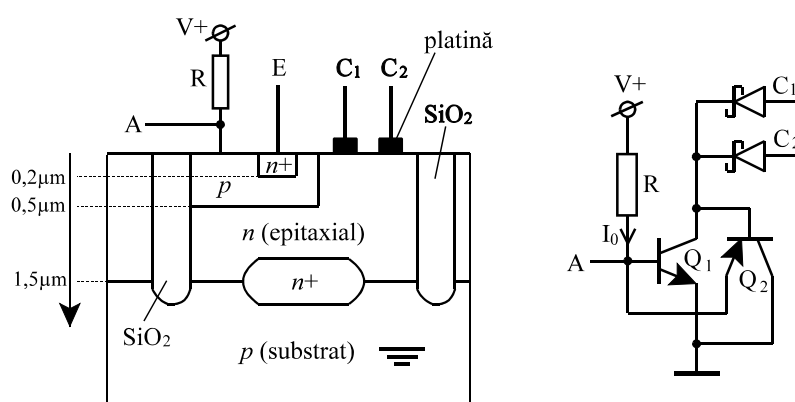


Fig.4.38 Poarta ISL

Ambele tranzistoare Q_1 și Q_2 sunt verticale. Datorită routing-ului necesar pentru conectarea emitorului E la masă, densitatea de integrare a circuitelor ISL este de aproximativ 1,5 ori mai mică în comparație cu circuitele I^2L . Utilizând injectoare de $65\mu A$ (I_0) se obțin parametri $t_p = 2,3ns$ și $PD \times t_p = 0,1pJ$ (în tehnologia de fabricare de $5\mu m$).

4.2 Circuite logice cu tranzistoare MOS

Circuitele integrate MOS (metal-oxide-semiconductor) au apărut pe piață în anul 1968, având viteze de operare de aproximativ 10 ori mai mici în comparație cu circuitele bipolare de la acea dată. Tehnologiile de fabricare a circuitelor MOS s-au dezvoltat și perfectat continuu, astfel că viteza de operare a circuitelor MOS aproape a egalat-o pe aceea a circuitelor bipolare în 1980 și a depășit-o considerabil în anii următori. Piața actuală a circuitelor integrate este dominată de circuitele MOS. Avantajele majore ale acestora sunt următoarele:

- 1) dimensiunile tranzistoarelor MOS sunt relativ mici față de ale celor bipolare;

Creșterea vitezei de operare prin reducerea dimensiunilor dispozitivelor din structura unui circuit (operație numită *scalare*) este o trăsătură specifică doar circuitelor MOS. Lungimea minimă a canalului dintre drena și sursa unui tranzistor MOS s-a redus la $0,1\mu\text{m}$; acest parametru a devenit o etichetă pentru tehnologiile de fabricare (de exemplu, “tehnologie CMOS $0,25\mu\text{m}$ ”).

2) puterea disipată pe unitatea de arie este mică;

3) tehnologiile MOS implică mai puține etape decât cele bipolare și din acest motiv au o rată mai mică a defectelor de fabricare pe unitatea de arie;

4) circuitele MOS pot fi realizate atât în variante *statice* cât și în variante *dinamice*;

Circuitele dinamice necesită mai puține tranzistoare pentru implementarea unei funcții logice (sau a unui sistem de funcții) și au, în general, consumuri de putere mai mici și viteze de operare mai mari în comparație cu circuitele statice.

5) proprietățile 1, 2, 3, 4 fac posibilă integrarea circuitelor pe scară mare (LSI) și foarte mare (VLSI - very large scale integrated).

Pe un chip de siliciu cu suprafața de 1cm^2 pot fi fabricate în tehnologiile actuale circa 300 milioane de tranzistoare; un singur chip de acest fel este suficient pentru a realiza sisteme digitale foarte sofisticate.

Simbolurile grafice de tranzistoare MOS care vor fi utilizate în continuare sunt desenate în fig.4.39.

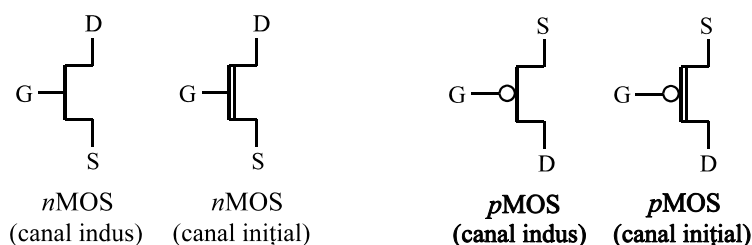


Fig.4.39 Simboluri de tranzistoare MOS

4.2.1 Scalarea circuitelor MOS

În fig.4.40 este reprezentată o secțiune transversală prin structura unui tranzistor *nMOS* cu canal indus; W (width) și L (length) sunt lățimea și respectiv lungimea canalului drenă-sursă iar t_{ox} (thickness) este grosimea stratului de oxid de siliciu (SiO_2) care izolează grila de canal.

Funcționarea tranzistorului este modelată cu o acuratețe rezonabilă de relațiile 4.8-4.9, în care V_T este tensiunea de prag iar K' este transconductanța canalului.

$$I_D = K' \frac{W}{L} [(V_{GS} - V_T)V_{DS} - \frac{1}{2}V_{DS}^2], \text{ dacă } V_{DS} < V_{GS} - V_T \quad (4.8)$$

$$I_D = \frac{1}{2} K' \frac{W}{L} (V_{GS} - V_T)^2, \text{ dacă } V_{DS} \geq V_{GS} - V_T \quad (4.9)$$

Relația 4.8 corespunde regiunii liniare de funcționare a tranzistorului iar relația 4.9 corespunde regiunii de saturație a curentului de drenă.

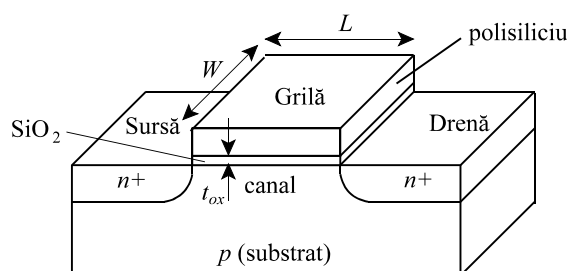


Fig.4.40 Tranzistor nMOS

Într-o structură de circuit integrat capacitatea grilei unui tranzistor MOS, C_G , constituie o “sarcină” pentru curentul de drenă I_D al altui tranzistor MOS. Viteza maximă de operare a circuitului este proporțională cu mărimea $I_D/C_G V_{DD}$, unde V_{DD} este tensiunea de alimentare.

Dacă se micșorează de S ori parametrii geometrici de bază (W , L), dimensiunile verticale ale structurii (de exemplu t_{ox}), concentrațiile de impurități și tensiunea de alimentare V_{DD} atunci viteza maximă de operare a circuitului crește de S ori (S se numește *factor de scalare*). Această afirmație se justifică după cum urmează:

- transconductanța canalului crește de S ori datorită reducerii grosimii stratului de SiO_2 , $K' = \mu_n g_{ox} / t_{ox}$ și $K'^* = S \cdot K'$;

Permitivitatea oxidului de siliciu g_{ox} este constantă; ipoteza că mobilitatea electronilor μ_n nu se modifică datorită reducerii concentrațiilor de impurități este realistă.

- tensiunea de prag se micșorează de S ori, $V_T^* = V_T/S$;

- curentul de drenă de saturație (relația 4.9) se micșorează de S ori, $I_D^* = I_D/S$, deoarece raportul W/L nu se modifică iar $(V_{GS}^* - V_T^*) = (V_{GS} - V_T)/S$;

Tensiunea V_{GS} are o valoare apropiată de V_{DD} în cazul circuitelor MOS digitale.

- capacitatea grilei se micșorează de S ori, $C_G = g_{ox} W L / t_{ox}$ și $C_G^* = C_G/S$;

- rezultă $I_D^* / C_G^* V_{DD}^* = S \cdot (I_D / C_G V_{DD})$.

Observații:

1) Dacă se realizează scalarea unui circuit fără reducerea tensiunii de alimentare V_{DD} , operație numită *scalare la tensiune constantă*, atunci $V_{GS}^* = V_{GS} - V_{DD}$ și $V_{GS}^* - V_T^* = V_{GS} - V_T/S \cdot V_{GS} - V_T$; curentul de drenă crește de S ori ca urmare

a creșterii transconductanței canalului drenă-sursă. În acest caz $I_D^*/C_G^*V_{DD} = S^2 \cdot (I_D/C_G V_{DD})$, adică viteza maximă de operare crește de S^2 ori.

2) Prin scalarea unui circuit se modifică și puterea disipată ($PD - I_D \cdot V_{DD}$). Astfel, în cazul scalării complete (cu reducerea tensiunii de alimentare) puterea disipată se micșorează de S^2 ori iar în cazul scalării la tensiune constantă puterea disipată crește de S ori. Compromisul putere-viteză poate fi modificat ulterior prin intermediul raportului W/L .

3) Tensiunea de alimentare V_{DD} poate să aibă valori în intervalul $[+1V; +15V]$. Cu tensiuni mai mari de 5V se alimentează, de obicei, numai circuitele SSI și MSI; alimentarea circuitelor LSI și VLSI se face cu tensiuni mai mici de 5,5V.

4.2.2 Familii de circuite NMOS

Structura acestor circuite logice este alcătuită numai din tranzistoare nMOS, atât cu canal indus cât și cu canal inițial sau numai cu canal indus.

4.2.2.1 Circuite NMOS statice

Structura inversorului NMOS și caracteristica de transfer în tensiune sunt reprezentate în fig.4.41. Tensiunea de prag a tranzistorului cu canal indus M_1 este pozitivă iar cea a tranzistorului cu canal inițial M_2 este negativă. S-a considerat că:

$$(K'W/L)_1 = 2 \cdot (K'W/L)_2, V_{T1} = V_{DD}/4, V_{T2} = -V_{DD}/2.$$

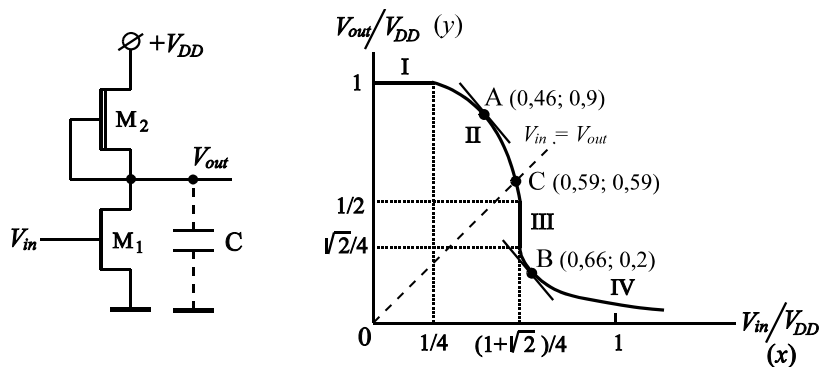


Fig.4.41 Caracteristica de transfer a inversorului NMOS

În regim static, pentru orice valoare a tensiunii V_{in} are loc egalitatea $I_{D1} = I_{D2}$. Pe caracteristica de transfer sunt marcate patru regiuni. În regiunea I tranzistorul M_1 este blocat deoarece $V_{GS1} = V_{in} \in [0; V_{T1}]$ iar tranzistorul M_2 funcționează în regiunea liniară; tensiunea de ieșire este egală cu tensiunea de alimentare la curenți de sarcină mici. Pentru valori ale tensiunii de intrare mai

mari decât V_{T1} ambele tranzistoare se află în conducție.

În regiunea II a caracteristicii M_1 operează în regiunea de saturație iar M_2 operează în regiunea liniară. Dependența $V_{out}(V_{in})$ se obține din condiția $I_{D1} = I_{D2}$:

$$(V_{in} - V_{T1})^2 = -V_{T2}(V_{DD} - V_{out}) - (V_{DD} - V_{out})^2/2$$

$$V_{in} = \frac{V_{DD}}{4} + \sqrt{\frac{(V_{DD} - V_{out})V_{out}}{2}} \quad (4.10)$$

Cea mai mică valoare a tensiunii de intrare la care ambele tranzistoare funcționează în regiunea de saturație se determină din condiția $V_{DD} - V_{out} = -V_{T2}$, echivalentă cu $V_{out} = V_{DD}/2$. Înlocuind această valoare în relația 4.10 se obține:

$$V_{in} = \frac{V_{DD}}{4}(1 + \sqrt{2}) \quad (4.11)$$

În regiunea III a caracteristicii de transfer tranzistoarele M_1 și M_2 operează în regiunea de saturație a curentului de drenă. Ecuația acestei porțiuni este:

$$I_{D1} = I_{D2} \text{ și } 2(V_{in} - V_{T1})^2 = (-V_{T2})^2 \text{ și } V_{in} = \frac{V_{DD}}{4}(1 + \sqrt{2}).$$

Cea mai mică valoare a tensiunii de ieșire la care tranzistorul M_1 mai funcționează în saturație se obține din condiția $V_{out} = V_{in} - V_{T1}$:

$$V_{out} = \frac{V_{DD}}{4}(1 + \sqrt{2}) - \frac{V_{DD}}{4} = \frac{\sqrt{2}}{4}V_{DD}.$$

În regiunea IV a caracteristicii M_1 operează în regiunea liniară iar M_2 operează în regiunea de saturație. Ecuația $V_{out}(V_{in})$ corespunzătoare acestei regiuni este:

$$4(V_{in} - V_{T1})V_{out} - 2V_{out}^2 = (-V_{T2})^2$$

$$V_{in} = \frac{V_{DD}}{4} + \frac{V_{out}}{2} + \frac{V_{DD}^2}{16V_{out}} \quad (4.12)$$

Dacă $V_{in} = V_{DD}$ atunci valoarea tensiunii de la ieșirea inversorului NMOS, calculată cu relația 4.12, este aproximativ $0,09V_{DD}$.

Benzile de tensiune LOW și HIGH se delimitează cu ajutorul punctelor A, B de pe caracteristica de transfer în care $dV_{out}/dV_{in} = -1$, așa cum s-a arătat în fig.4.3. Punctul A aparține regiunii II iar punctul B aparține regiunii IV.

Prin derivarea relației 4.10 rezultă:

$$\frac{dV_{in}}{dV_{out}} = \frac{1}{2} \sqrt{\frac{2}{(V_{DD} - V_{out}) \cdot V_{out}}} \cdot \frac{V_{DD} - 2V_{out}}{2} = -1 \quad (4.13)$$

Făcând substituția $y = V_{out}/V_{DD}$ în relația 4.13, se obține ecuația

$$12y^2 - 12y + 1 = 0, \text{ cu soluțiile } y_{1,2} = \frac{12 \pm \sqrt{96}}{24}.$$

Ordonata punctului A este $y_A = 0,9$. Abscisa punctului A calculată cu relația 4.10 are valoarea $x_A = V_{in}/V_{DD} = 0,46$.

Prin derivarea relației 4.12 rezultă:

$$\frac{dV_{in}}{dV_{out}} = \frac{1}{2} - \frac{V_{DD}^2}{16V_{out}^2} = -1, y_B = \frac{V_{out}}{V_{DD}} \cong 0,2 \quad (4.14)$$

Abscisa punctului B calculată cu relația 4.12 are valoarea $x_B = V_{in}/V_{DD} = 0,66$. Se obțin nivelele de tensiune $V_{ILmax} = 0,46V_{DD}$, $V_{IHmin} = 0,66V_{DD}$, $V_{OLmax} = 0,2V_{DD}$, $V_{OHmin} = 0,9V_{DD}$ și marginile de zgomot $NM_L = 0,26V_{DD}$, $NM_H = 0,24V_{DD}$.

Curentul absorbit de inversorul NMOS de la sursa de alimentare în regim static, $I_{DD} = I_{D1} = I_{D2}$, este reprezentat grafic în fig.4.42; $I_{D2max} = (K'W/L)_2 V_{T2}^2/2$.

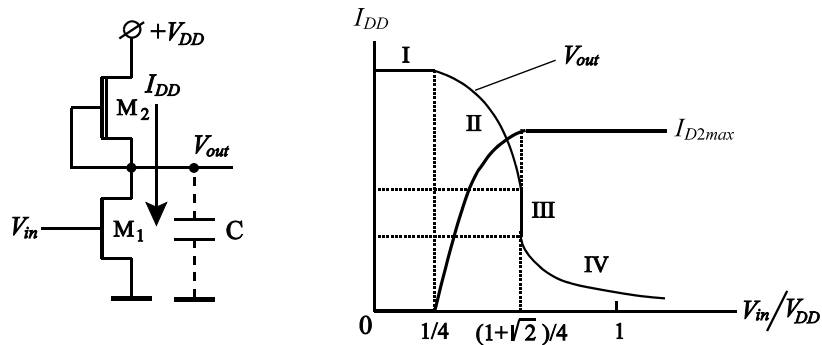


Fig.4.42 Curentul static de alimentare al inversorului NMOS

În regim de funcționare dinamic, curenții tranzistoarelor M_1 și M_2 nu mai sunt egali. Tranziția L Y H a tensiunii V_{in} determină descărcarea capacității de sarcină C; curentul de descărcare este $I_{HL} = I_{D1} - I_{D2}$ și are valoarea maximă

$$I_{HLmax} = (K'W/L)_1(V_{DD} - V_{T1})^2/2 - (K'W/L)_2 V_{T2}^2/2 = (K'W/L)_2 V_{DD}^2 \cdot (7/16).$$

Tranziția H Y L a tensiunii V_{in} determină încărcarea capacității de sarcină C; curentul de încărcare $I_{LH} = I_{D2} - I_{D1}$ are valoarea maximă:

$$I_{LHmax} = I_{D2max} = (K'W/L)_2 V_{DD}^2 \cdot (1/8) = I_{HLmax}/3,5.$$

Variațiile aproximative ale curenților I_{D1} și I_{D2} determinate de o tensiune de comandă V_{in} dreptunghiulară sunt reprezentate în fig.4.43; s-a considerat că intervalele dintre două tranziții consecutive ale tensiunii V_{in} sunt mai mari decât

timpii de propagare ai inversorului.

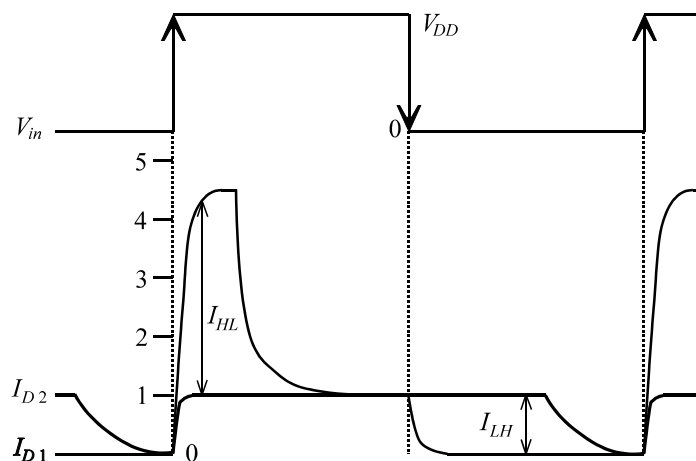


Fig.4.43 Curenții inversorului NMOS în regim dinamic

Următoarele caracteristici ale inversorului NMOS sunt specifice tuturor porților și subcircuitelor NMOS statice:

- timpul de propagare t_{pLH} este mai mare decât timpul de propagare t_{pHL} ;
- produsul $PD \times t_p$ este proporțional cu mărimea $C(V_{OH} - V_{OL})V_{DD}/2$;
- puterea medie absorbită de la sursa de alimentare este independentă de frecvența de operare;
- fanout-ul este limitat de capacitatea C , care este proporțională cu numărul de sarcini NMOS (grile de tranzistoare cu canal n indus).

Tranzistorul n MOS cu canal indus poate fi utilizat ca *poartă de transmisie*. Comanda unui inversor utilizând două porți de transmisie conectate în serie este ilustrată în fig.4.44.

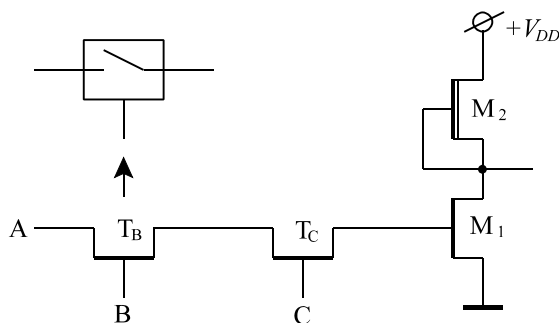


Fig.4.44 Comanda unui inversor NMOS cu porți de transmisie

Tranzistoarele T_B și T_C utilizate ca porți de transmisie funcționează în regim static la curenți de drenă nuli iar dimensiunile acestora sunt minime ($W/L = 1$). Dacă la intrările A, B, C se aplică nivelele logice V_{ILA} , V_{IHB} și respectiv V_{IHC} atunci la intrarea inversorului (grila tranzistorului M_1) se transmite tensiunea V_{ILA} ; dacă însă la intrarea A se aplică nivelul V_{IHA} atunci tensiunea transmisă la intrarea inversorului este $\min\{(V_{IHB} - V_{TB}), (V_{IHC} - V_{TC})\}$, unde V_{TB} și V_{TC} sunt tensiunile de prag ale tranzistoarelor T_B și respectiv T_C .

Prin întreruperea lanțului de transmisie, cu V_{ILB} sau V_{ILC} , intrarea inversorului rămâne în gol; tensiunea de la ieșirea inversorului depinde de sarcina stocată de capacitatea grilă-sursă a tranzistorului M_1 și este greu de determinat.

În fig. 4.45 sunt desenate structuri de porți logice NOR și NAND; acestea se obțin prin înlocuirea tranzistorului M_1 din structura inversorului cu două sau mai multe tranzistoare cu canal n indus, conectate în paralel și respectiv în serie.

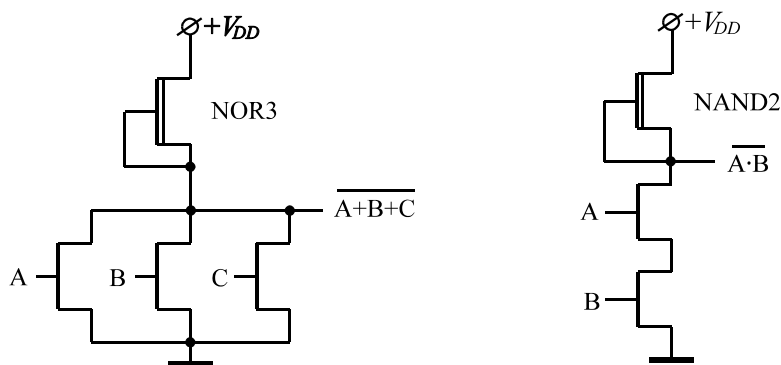


Fig.4.45 Porți NMOS statice

Tranzistoarele conectate în paralel trebuie să aibă fiecare un raport W/L egal cu cel al tranzistorului M_1 pentru ca nivelul V_{OL} să fie atins când se aplică tensiune HIGH numai la o singură intrare. Dacă mai multe intrări ale porții NOR sunt simultan în starea HIGH atunci nivelul LOW de la ieșire se micșorează.

Tranzistoarele conectate în serie trebuie să aibă fiecare un raport W/L de s ori mai mare decât cel al tranzistorului M_1 pentru atingerea nivelului V_{OL} ; s este numărul de tranzistoare conectate în serie. Porțile NAND cu mai mult de 2 intrări nu sunt economice din punct de vedere al consumului de arie; din acest motiv sunt preferate porțile NOR.

Analizele statice și dinamice ale porților NOR și NAND pot fi realizate cu eforturi de calcul mai mici dacă grupurile de tranzistoare conectate în paralel și respectiv în serie se înlocuiesc cu un singur tranzistor echivalent. Dacă toate tranzistoarele unui grup au aceleași dimensiuni W , L și sunt comandate cu

aceeași tensiune de intrare, atunci tranzistorul echivalent are dimensiunile pW și L sau W și sL , unde p și s reprezintă numărul de tranzistoare conectate în paralel și respectiv în serie.

Tranzistorul M_1 din structura inversorului NMOS poate fi înlocuit cu rețele de tranzistoare mai complexe decât cele din fig.4.45, în care se combină conectările în serie cu conectările în paralel. În fig.4.46 sunt reprezentate trei subcircuite de acest fel.

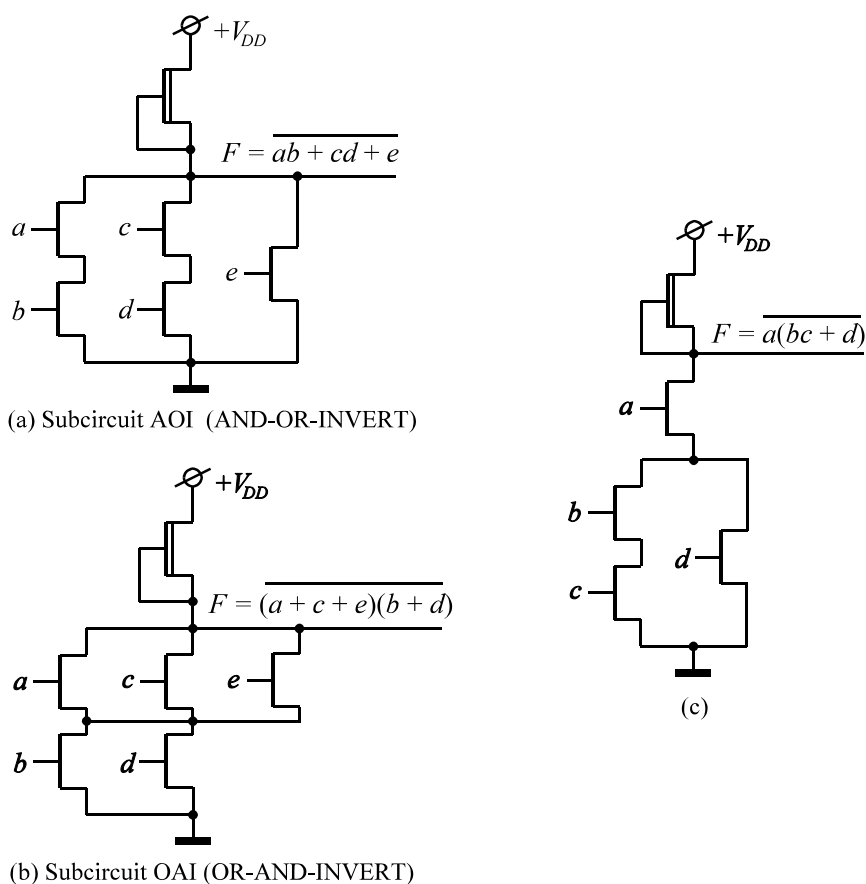


Fig.4.46 Subcircuite NMOS statice

O topologie de circuit NMOS static, diferită de cele prezentate în figura de mai sus este desenată în fig.4.47. Funcția logică realizată de acest circuit este XNOR ($F = \overline{a \oplus b}$). Această funcție poate fi implementată și cu structuri de tip AOI ($F = \overline{ab + a\bar{b}}$) sau OAI ($F = (a + b)(\bar{a} + \bar{b})$) însă circuitul din fig.4.47 implică un consum de arie mai mic și este mai rapid; circuitele AOI sau OAI

conțin fiecare câte 9 tranzistoare, din care 3 sunt cu canal inițial.

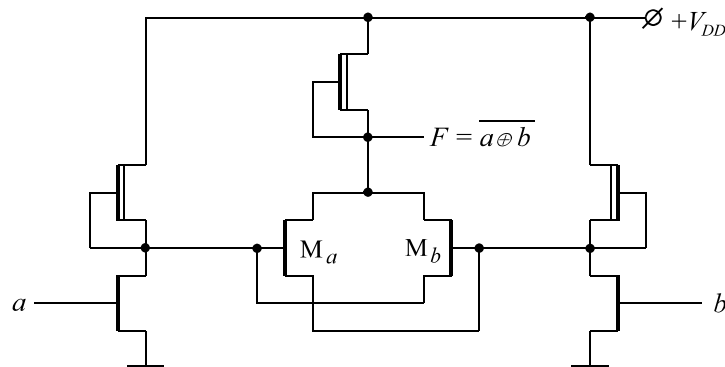


Fig.4.47 Poartă XNOR

Dacă $a = b = \text{HIGH}$ atunci tranzistoarele M_a și M_b sunt blocate iar la ieșirea circuitului de mai sus se obține $F = \text{HIGH}$. Nivelul HIGH la ieșire se obține și dacă $a = b = \text{LOW}$ deoarece în acest caz curenții prin tranzistoarele M_a și M_b sunt nuli. Dacă $a = \text{LOW}$ și $b = \text{HIGH}$ sau $a = \text{HIGH}$ și $b = \text{LOW}$ atunci se află în conducție fie M_a fie M_b , ceea ce determină $F = \text{LOW}$.

4.2.2.2 Circuite NMOS dinamice

Nodurile circuitelor MOS au o comportare capacitivă; aceasta este inerentă oricărei tehnologii de fabricare. Capacitățile nodurilor sunt considerate “parazite” sau nedorite în funcționarea circuitelor statice deoarece limitează viteza maximă de operare. În cazul circuitelor dinamice capacitățile nodurilor sunt utilizate pentru “memorarea” sau stocarea temporară a valorilor logice și sunt reprezentate în mod explicit în schemele electrice. Controlul procesului de stocare se realizează cu ajutorul porților de transmisie și a unor semnale periodice speciale numite semnale de *ceas* sau *clock* sau *tact*. Din acest punct de vedere circuitele dinamice se aseamănă cu circuitele logice secvențiale.

Structura unui circuit NMOS dinamic care implementează funcția NOR2 este desenată în fig.4.48. Când semnalul de ceas Φ_1 are nivelul logic H, valorile variabilelor a și b se stochează în C_1 și respectiv în C_2 iar C_5 se încarcă prin M_4 la tensiunea $V_{DD} - V_{T4}$ (V_{T4} este tensiunea de prag a tranzistorului M_4); semnalul Φ_2 blochează tranzistorul M_3 astfel că, indiferent de tensiunile induse de a , b pe condensatoarele C_1 și C_2 , curenții prin M_1 și M_2 sunt nuli. De asemenea, Φ_2 blochează și porțile de transmisie T_3 , T_4 conectate la condensatorul C_5 . Când semnalul de ceas Φ_2 atinge nivelul logic H, condensatorul C_5 se conectează prin M_3 la grupul paralel M_1 , M_2 . Dacă cel puțin unul dintre

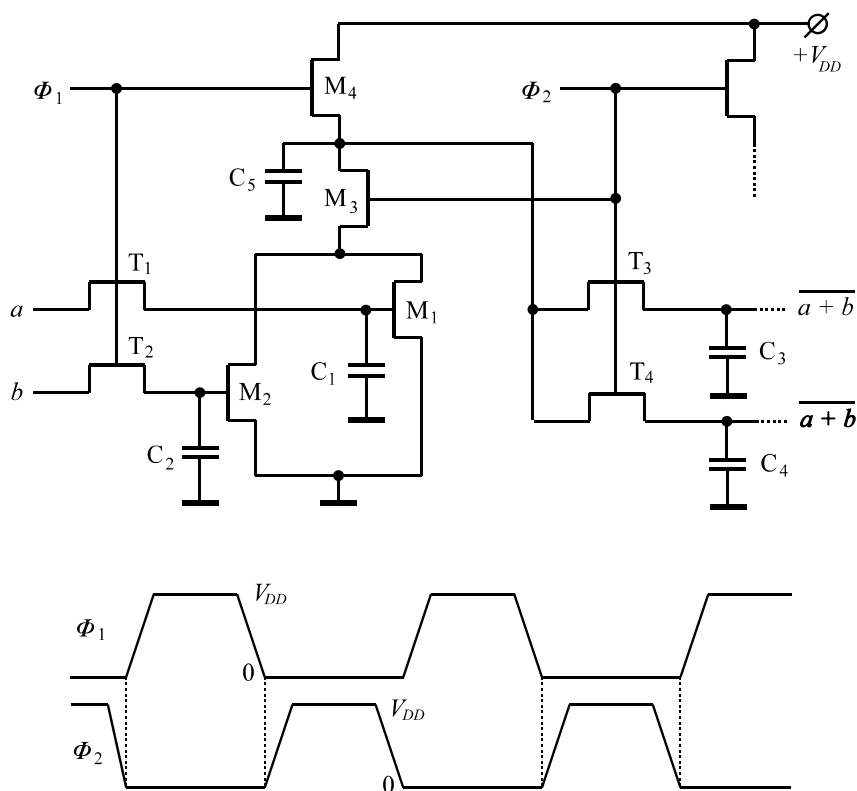


Fig.4.48 Circuit NMOS dinamic NOR2

condensatoarele C_1 sau C_2 este încărcat atunci M_1 sau M_2 va descărca C_5 (Φ_1 blochează în acest timp tranzistorul M_4); altfel, va avea loc un transfer de sarcină electrică de la C_5 la C_3, C_4 prin porțile de transmisie T_3, T_4 . Capacitatea C_5 trebuie să fie suficient de mare în comparație cu suma $C_3 + C_4$ pentru ca valoarea H transferată etajelor următoare să fie validă.

Implementarea funcțiilor logice combinaționale cu circuite NMOS dinamice nu este avantajoasă datorită consumului relativ mare de arie în comparație cu circuitele statice; circuitele dinamice sunt însă foarte eficient utilizate în cazul logicii secvențiale sau a memoriilor. Puterea consumată de la sursa de alimentare de către porțile dinamice este mai mică decât cea consumată de porțile statice deoarece tranzistoarele M_3 și M_4 (fig.4.48) nu se află simultan în conducție.

Principalele dezavantaje ale circuitelor dinamice sunt:

- frecvența semnalelor de ceas nu poate fi oricât de mică datorită pierderilor de sarcină electrică din condensatoarele C_1, C_2 , cauzate de curenții prin joncțiunile drenă-substrat ai tranzistoarelor T_1, T_2 blocate de ceasul Φ_1 ;

Limita inferioară a frecvenței ceasului are o valoare tipică de 500Hz pentru o funcționare corectă. Nivelul logic H stocat în C_1 sau C_2 se “degradează” după aproximativ 2 ms.

- proiectarea este mai dificilă decât în cazul circuitelor statice;
- sensibilitate relativ mare la zgomot și la erorile de sincronizare.

Structuri similare cu cele NMOS prezentate în paragrafele anterioare pot fi obținute utilizând numai tranzistoare cu canal p ; aceste circuite sunt denumite PMOS. Datorită faptului că mobilitatea golurilor este mai mică de aproximativ 3,5 ori decât mobilitatea electronilor, performanțele circuitelor PMOS sunt inferioare celor NMOS.

4.2.3 Familii de circuite CMOS

Circuitele CMOS (Complementary MOS) sunt circuitele cele mai utilizate în prezent; acestea sunt alcătuite din tranzistoare cu canal indus n și p .

4.2.3.1 Circuite CMOS statice

Structura inversorului CMOS, caracteristica statică de transfer în tensiune și curentul absorbit de la sursa de alimentare în regim static sunt reprezentate în fig.4.49. S-a considerat că $(K'W/L)_1 = (K'W/L)_2$ și $V_{T1} = -V_{T2} < V_{DD}/2$.

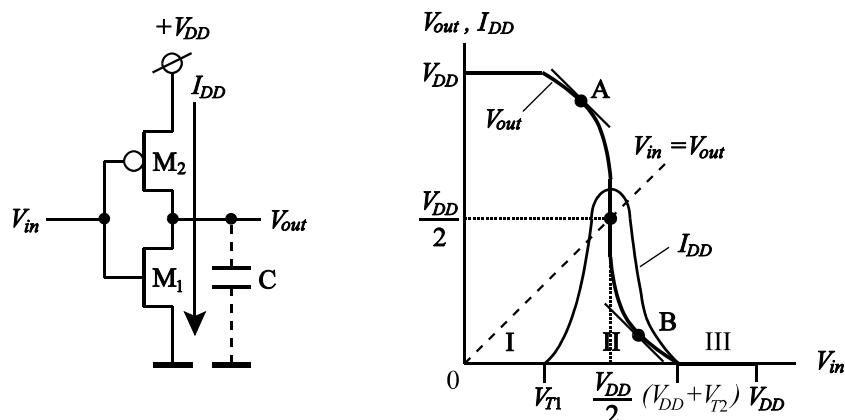


Fig.4.49 Inversorul CMOS

Sunt marcate trei regiuni pe caracteristica de transfer în tensiune:

I $\forall V_{in} \in (0, V_{T1})$, II $\forall V_{in} \in (V_{T1}, V_{DD} - |V_{T2}|)$ și III $\forall V_{in} \in (V_{DD} - |V_{T2}|, V_{DD})$.

În regiunea I tranzistorul M_1 este blocat și M_2 operează în regiunea liniară a

curentului de drenă iar în regiunea III tranzistorul M_2 este blocat și M_1 operează în regiunea liniară.

În regiunea II ambele tranzistoare se află în conducție. Dacă $V_{in} \approx (V_{T1}, V_{DD}/2)$ atunci M_1 funcționează în regiunea de saturație a curentului de drenă iar M_2 funcționează în regiunea liniară. Din egalitatea $I_{D1} = I_{D2} = I_{DD}$ rezultă:

$$(V_{in} - V_{T1})^2 = 2(V_{DD} - V_{in} + V_{T2}) \cdot (V_{DD} - V_{out}) - (V_{DD} - V_{out})^2. \quad (4.15)$$

Coordonatele punctului A se determină din condiția $dV_{out}/dV_{in} = -1$. Prin derivare în relația 4.15 se obține:

$$2(V_{in} - V_{T1}) = -2(V_{DD} - V_{out}) - 2(V_{DD} - V_{in} + V_{T2}) \cdot dV_{out}/dV_{in} + 2(V_{DD} - V_{out}) \cdot dV_{out}/dV_{in}.$$

Soluția acestei ecuații este $V_{out, A} = V_{in, A} + V_{DD}/2$, $V_{in, A} = (3V_{DD} + 2V_{T1})/8$.

Când $V_{in} = V_{DD}/2$ ambele tranzistoare funcționează în regiunea de saturație a curentului de drenă iar tensiunea de ieșire V_{out} are valori în intervalul

$$(V_{DD}/2 - V_{T1}, V_{DD}/2 + V_{T1}).$$

Curentul absorbit de la sursa de alimentare are valoarea maximă

$$I_{DD \max} = (K' W/L)_1 (V_{DD}/2 - V_{T1})^2/2.$$

Dacă $V_{in} \approx (V_{DD}/2, V_{DD} - V_{T2})$ atunci M_1 funcționează în regiunea liniară iar M_2 funcționează în regiunea de saturație a curentului de drenă. Din egalitatea $I_{D1} = I_{D2} = I_{DD}$ rezultă:

$$2(V_{in} - V_{T1}) \cdot V_{out} - V_{out}^2 = (V_{DD} - V_{in} + V_{T2})^2. \quad (4.16)$$

Coordonatele punctului B se determină din condiția $dV_{out}/dV_{in} = -1$. Prin derivare în relația 4.16 se obține:

$$2V_{out} + 2(V_{in} - V_{T1}) \cdot dV_{out}/dV_{in} - 2V_{out} \cdot dV_{out}/dV_{in} = -2(V_{DD} - V_{in} + V_{T2}).$$

Soluția acestei ecuații este $V_{out, B} = V_{in, B} - V_{DD}/2$, $V_{in, B} = (5V_{DD} - 2V_{T1})/8$.

Nivelele de tensiune LOW, HIGH și marginile de zgomot definite cu ajutorul punctelor A, B de pe caracteristica de transfer din fig. 4.49 sunt:

$$V_{ILmax} = (3V_{DD} + 2V_{T1})/8, V_{IHmin} = (5V_{DD} - 2V_{T1})/8, V_{OLmax} = (V_{DD} - 2V_{T1})/8, \\ V_{OHmin} = (7V_{DD} + 2V_{T1})/8, NM_L = NM_H = (V_{DD} + 2V_{T1})/4.$$

Observații:

1) Punctul de intersecție a caracteristicii de transfer în tensiune cu dreapta de ecuație $V_{in} = V_{out}$ definește *tensiunea de comutare sau de tranziție* a inversorului; în vecinătatea acestui punct panta caracteristicii are valori mari, ceea ce înseamnă că variații mici ale tensiunii de intrare vor produce variații mari ale tensiunii de ieșire.

2) Dacă $(K'W/L)_1 = (K'W/L)_2$ și $V_{T1} = -V_{T2} = V_{DD}/2$ atunci inversorul CMOS are caracteristici foarte apropiate de acelea ale unei porți logice ideale, precizate la începutul acestui capitol.

3) Deoarece mobilitatea electronilor este de aproximativ 3,5 ori mai mare decât a gurilor, rezultă $K'_1 = 3,5K'_2$. Condiția $(K'W/L)_1 = (K'W/L)_2$ este echivalentă cu $W_2 = 3,5W_1$, adică aria ocupată de tranzistorul cu canal p este de 3,5 ori mai mare decât aria ocupată de tranzistorul cu canal n ; în acest caz rezistențele efective drenă-sursă ale tranzistoarelor sunt egale, $R_n = R_p$.

În fig.4.50 este ilustrată dependența caracteristicii statice de transfer în tensiune a inversorului CMOS față de raportul W_2/W_1 (sau W_p/W_n).

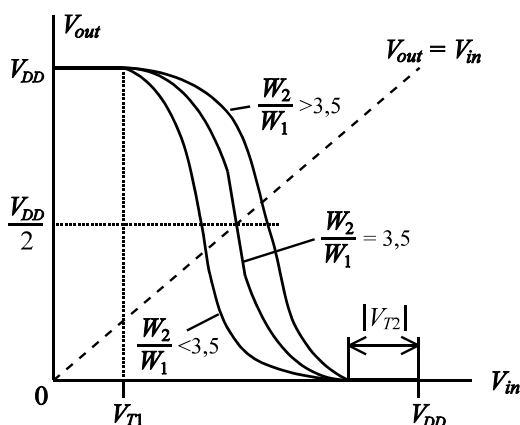


Fig.4.50 Influența dimensionării inversorului asupra caracteristicii statice

Atunci când tensiunea de la ieșirea inversorului CMOS se menține constantă, la nivelul logic L sau H, puterea consumată este extrem de redusă și se datorează curenților reziduali (de ordinul pA) ai tranzistoarelor blocate; această proprietate o au toate circuitele CMOS statice. În majoritatea aplicațiilor practice se poate spune că se consumă putere numai în regim de funcționare dinamic, când la ieșirea circuitului au loc tranziții ale tensiunii între nivelele L și H. Un calcul aproximativ al puterii disipate de inversorul CMOS este prezentat în continuare. Se consideră că tensiunea de comandă V_{in} a inversorului se modifică instantaneu de la V_{DD} la 0 și de la 0 la V_{DD} , astfel că tranzistoarele M_1 și M_2 nu se află niciodată simultan în conducție.

Fie $i_C(t)$ și $v_C(t)$ curentul și respectiv tensiunea pe capacitatea de sarcină C a inversorului CMOS din fig.4.49; variabila t reprezintă timpul. Într-un ciclu de funcționare complet al inversorului au loc două tranziții ale tensiunii de ieșire, LYH și HYL. Pe durata tranziției LYH condensatorul C se încarcă de la 0 la V_{DD} prin tranzistorul M_2 , a cărui rezistență efectivă drenă-sursă este R_p .

$$i_C(t) = I_{D2}(t) = \frac{V_{DD}}{R_p} e^{-t/R_p C} \quad (4.17)$$

$$v_C(t) = V_{DD}(1 - e^{-t/R_p C}) = V_{out}(t) \quad (4.18)$$

Energia stocată în condensatorul C are valoarea:

$$E_C = \int_0^{\infty} i_C(t) v_C(t) dt = \frac{1}{2} C V_{DD}^2. \quad (4.19)$$

Energia disipată de tranzistorul M_2 are valoarea:

$$E_2 = \int_0^{\infty} I_{D2}(t) \cdot [V_{DD} - v_C(t)] dt = \frac{1}{2} C V_{DD}^2 \cdot e^{-2t/R_p C} \Big|_0^{\infty} = \frac{1}{2} C V_{DD}^2. \quad (4.20)$$

Pe durata tranziției HYL a tensiunii de la ieșirea inversorului, condensatorul C se descarcă de la V_{DD} la 0 prin tranzistorul M_1 ; toată energia înmagazinată în condensatorul C se disipă pe tranzistorul M_1 ($E_1 = E_C$).

Energia disipată sub formă de căldură pe inversorul CMOS într-un ciclu complet de funcționare este:

$$E = E_1 + E_2 = C V_{DD}^2. \quad (4.21)$$

Puterea disipată de inversor depinde de frecvența f a tranzițiilor tensiunii de ieșire:

$$PD = f C V_{DD}^2. \quad (4.22)$$

Observații:

1) Tranzițiile tensiunilor de la ieșirile porților din structura unui circuit digital sunt în general determinate de tranzițiile semnalelor de ceas (Clock) cu care se realizează sincronizarea dintre diferite blocuri funcționale; viteza de operare a circuitelor este egală cu frecvența semnalelor de ceas f_{ck} . Tranzițiile (fronturile) semnalelor de ceas nu determină însă tranziții simultane la toate porțile circuitului, astfel că frecvența f din relația 4.22 este mai mică decât f_{ck} .

2) Puterea dinamică disipată de o poartă CMOS are două componente; componenta cea mai semnificativă, definită de relația 4.22, este independentă de dimensiunile tranzistoarelor. A doua componentă a puterii dinamice se datorează tranzițiilor cu viteză finită a tensiunii de comandă V_{in} și depinde de dimensiunile tranzistoarelor prin intermediul curentului absorbit de la sursa de alimentare I_{DDmax} . Astfel, în intervalul de timp cât $V_{T1} < V_{in} < V_{DD} - V_{T2}$ ambele tranzistoare din structura inversorului se află în conducție. Consumul de putere cauzat de acest fapt este proporțional cu timpul de tranziție a tensiunii V_{in} , cu tensiunea de alimentare V_{DD} și curentul I_{DDmax} .

În fig.4.51 este reprezentat răspunsul unui inversor CMOS la o tensiune de comandă dreptunghiulară. Modificările bruște ale tensiunii V_{out} sunt induse de tranzițiile tensiunii V_{in} prin intermediul capacităților grilă-drenă.

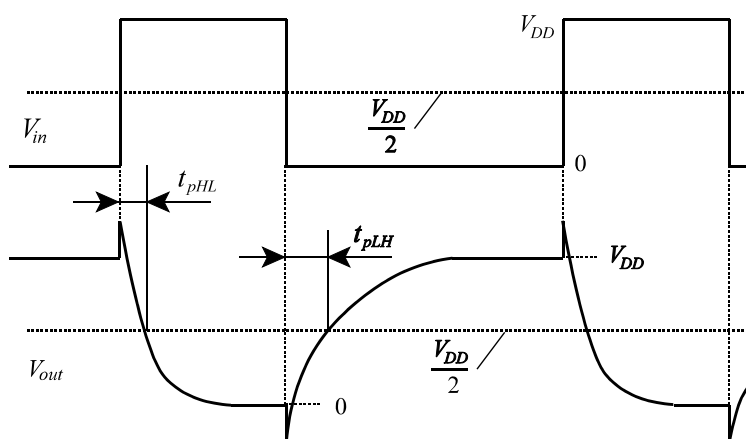


Figura 4.51

Timpii de propagare ai inversorului se pot determina cu relațiile 4.23, în care R_n și R_p sunt rezistențele drenă-sursă efective ale tranzistoarelor M_1 și respectiv M_2 iar C este sarcina capacitivă a inversorului.

$$\begin{cases} t_{pLH} = R_p \cdot (W_1 L_1 g_{ox} / t_{ox} + W_2 L_2 g_{ox} / t_{ox} + C) \\ t_{pHL} = R_n \cdot (W_1 L_1 g_{ox} / t_{ox} + W_2 L_2 g_{ox} / t_{ox} + C) \end{cases} \quad (4.23)$$

Aceste relații sunt determinate pe baza modelului RC al inversorului CMOS, desenat în fig.4.52.

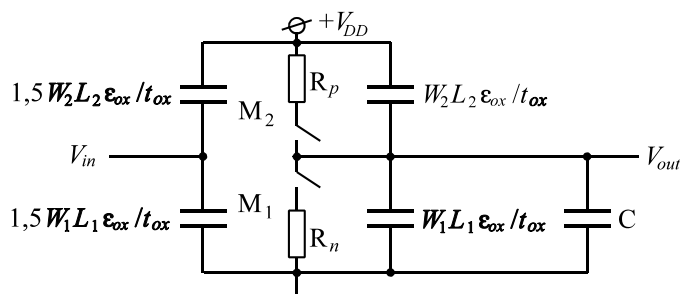


Fig.4.52 Modelul RC al inversorului CMOS

În cazul inversorului CMOS reprezentat în fig.4.53, care are ca sarcină o linie de transmisie RC cu lungimea l (definită de parametri “distribuiți” r = rezistență/unitate de lungime, c = capacitate/unitate de lungime) și o capacitate “concentrată” C , timpul de propagare se calculează cu relația:

$$t_{pLH} + t_{pHL} = (R_n + R_p)(W_1 L_1 g_{ox}/t_{ox} + W_2 L_2 g_{ox}/t_{ox} + cl + C) + 0,35rc l^2 + r l C. \quad (4.24)$$

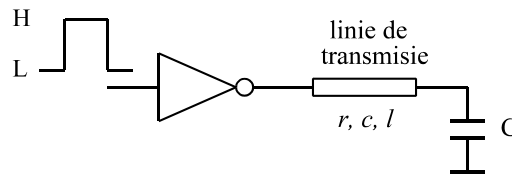


Figura 4.53

În fig.4.54 este desenată structura porții de transmisie CMOS. Ambele nivele logice se transmit prin această poartă fără să fie modificate; tranzistorul cu canal n transmite bine nivelul LOW iar tranzistorul cu canal p transmite bine nivelul HIGH.

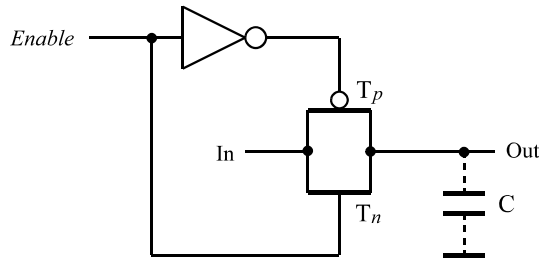


Fig.4.54 Poarta de transmisie CMOS

Poarta de transmisie se caracterizează prin timpii de propagare a semnalelor de la intrarea In la ieșirea Out când $Enable$ = HIGH

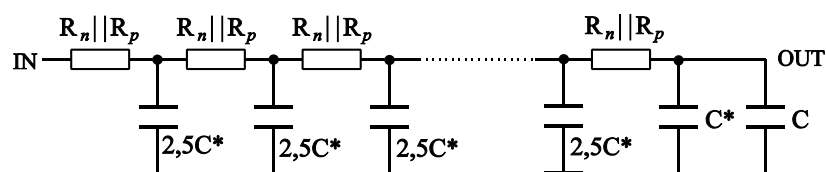
$$t_{pLH} = t_{pHL} = (R_n \cdot R_p) \cdot (W_n L_n g_{ox}/t_{ox} + W_p L_p g_{ox}/t_{ox} + C) \quad (4.25)$$

și prin timpii de comutare t_{on-off} , t_{off-on} (on = conducție, off = blocare). Comutarea porții de transmisie din conducție în blocare și din blocare în conducție este determinată de tranziția HYL și respectiv LYH a intrării de autorizare $Enable$. Timpii de comutare sunt proporționali cu capacitățile grilă-sursă ale tranzistoarelor T_n , T_p

$$C_n = 1,5 W_n L_n g_{ox}/t_{ox} \text{ și respectiv } C_p = 1,5 W_p L_p g_{ox}/t_{ox}.$$

Creșterea dimensiunilor tranzistoarelor (W_n și W_p) determină micșorarea timpilor de propagare și mărirea timpilor de comutare.

În fig.4.55 este reprezentat modelul RC de calcul al timpului de propagare printr-un lanț serie format din N porți de transmisie identice, aflate în conducție.



$$C^* = (W_n L_n + W_p L_p) \epsilon_{ox} / t_{ox}$$

Figura 4.55

O formulă de estimare a timpului de propagare IN-OUT se obține cu ajutorul relației 4.24 în care se consideră numai termenii corespunzători liniei de transmisie ($0,35rc l^2 + r l C$):

$$t_{pLH} + t_{pHL} = 0,35 \cdot (R_n^{**} R_p) \cdot 2,5C^* \cdot N^2 + (R_n^{**} R_p) \cdot N \cdot (C - 1,5C^*). \quad (4.26)$$

Există mai multe topologii de circuite CMOS statice care sunt utilizate pentru implementarea funcțiilor logice combinaționale. În fig.4.56 este desenată topologia de bază sau *standard*. Blocurile complementare B_n și $\bar{B}_p$ conțin fiecare câte un număr de tranzistoare, cu canal n și respectiv cu canal p , egal cu numărul de variabile de care depinde funcția logică F ; fiecare variabilă logică comandă o pereche de tranzistoare, unul din blocul B_n și unul din $\bar{B}_p$.

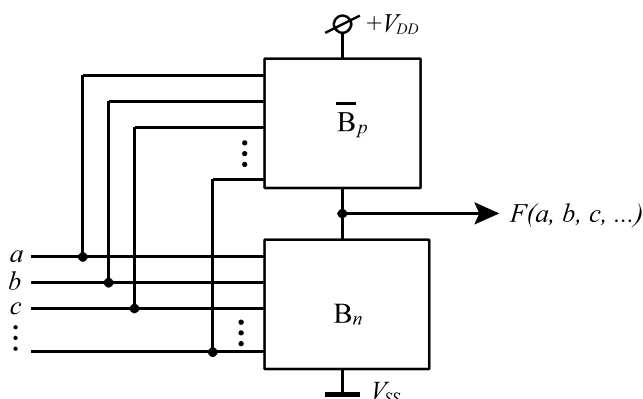


Fig.4.56 Topologia CMOS standard

În regim de funcționare static, pentru orice combinație de valori logice L, H aplicate la intrările circuitului, ieșirea F este conectată fie numai la $+V_{DD}$, fie numai la V_{SS} și nu se consumă putere de la sursa de alimentare. Ca și în cazul inversorului, consum de putere apare numai în regim dinamic de funcționare. Atât viteza de operare (sau timpii de propagare) cât și puterea disipată de un circuit CMOS standard pot fi evaluate cu relațiile stabilite pentru inversorul CMOS. Blocurile B_n și $\bar{B}_p$ pot fi înlocuite cu câte un tranzistor MOS echivalent, obținându-se în acest fel o structură de inversor care este echivalent cu circuitul din fig.4.56 la care toate intrările $a, b, c, \dots$ sunt conectate împreună.

Structurile porților standard NAND3 și NOR3 sunt desenate în fig.4.57.

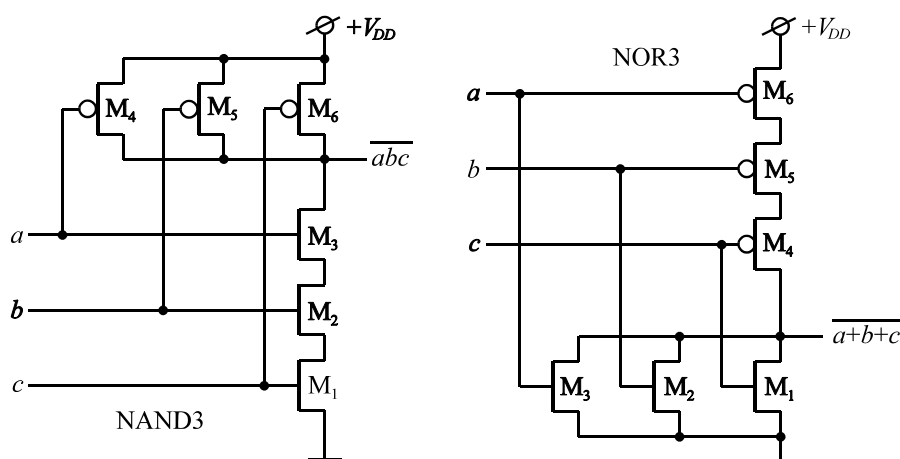


Fig.4.57 Porți CMOS standard

În continuare se va considera că toate tranzistoarele din figura de mai sus au canale drenă-sursă cu lungimea L și că M_1, M_2, M_3 au canale cu lățimea W_n iar M_4, M_5, M_6 au canale cu lățimea W_p ; de asemenea, porțile au o sarcină capacitivă C (aceasta nu a fost reprezentată explicit în schemele electrice din fig.4.57). Rezistențele drenă-sursă efective ale tranzistoarelor sunt invers proporționale cu lățimile canalelor drenă-sursă.

Nivelul L la ieșirea porții NAND3 se obține cu $abc = HHH$. Tranziția HYL a cel puțin uneia dintre variabilele a, b, c determină tranziția LYH la ieșirea porții; timpul de propagare t_{pLH} depinde de numărul tranzițiilor HYL de la intrări, adică de numărul tranzistoarelor cu canal p care vor încărca nodul de ieșire. Se poate considera că timpul de propagare t_{pHL} nu depinde de numărul tranzițiilor LYH de la intrări, dacă acestea au loc simultan. În fig.4.58 este reprezentat modelul RC al porții NAND3 cu ajutorul căruia se pot estima timpii de propagare; N reprezintă numărul de tranzistoare din grupul paralel care se află simultan în conducție.

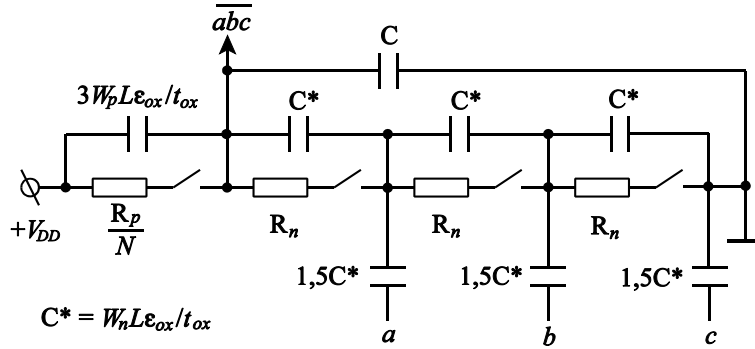


Fig.4.58 Modelul RC al porții NAND3

$$t_{pLH} = \frac{R_p}{N} (3W_p L \epsilon_{ox} / t_{ox} + \frac{1}{3} W_n L \epsilon_{ox} / t_{ox} + C) \quad (4.27)$$

Valoarea maximă a timpului de propagare t_{pLH} se obține pentru $N = 1$. Dacă C este semnificativ mai mare decât capacitățile “parazite” ale tranzistoarelor atunci se poate face aproximarea $t_{pLH} = R_p C / N$.

$$t_{pHL} = 3R_n (3W_p L \epsilon_{ox} / t_{ox} + \frac{1}{3} W_n L \epsilon_{ox} / t_{ox} + C) + 0,35 \cdot R_n \cdot 1,5W_n L \epsilon_{ox} / t_{ox} \cdot 2^2 =$$

$$\cong 3R_n (3W_p L \epsilon_{ox} / t_{ox} + W_n L \epsilon_{ox} / t_{ox} + C) \quad (4.28)$$

Dacă C este termenul dominant în relația 4.28 atunci $t_{pHL} = 3R_n C$; viteza de operare a porții NAND scade proporțional cu numărul de tranzistoare din lanțul serie. Dimensionarea tranzistoarelor din structura porții NAND este optimă din punct de vedere al vitezei de operare dacă $t_{pLH \max} = t_{pHL}$; în cazul porții NAND3 această condiție implică $R_p = 3R_n$, adică $W_p = W_n$.

Tensiunea de tranziție (sau de comutare) a porții NAND depinde de numărul de intrări care comută simultan, de valorile tensiunilor de prag V_{Tn} , V_{Tp} și de raportul W_p / W_n . În exemplul de calcul următor se consideră că $W_p = W_n = W$, $V_{Tn} = *V_{Tp}^* = V_T < V_{DD}/2$, o intrare a porții NAND3 este conectată la $+V_{DD}$ iar celelalte două sunt conectate împreună și constituie intrarea inversorului echivalent. Tranzistoarele echivalente M_1 și M_2 ale acestui inversor au parametrii $V_{T1} = *V_{T2}^* = V_T$, $W_1 = W$, $L_1 = 3L$, $W_2 = 2W$, $L_2 = L$. Deoarece $K'_1 = 3,5K'_2$ se obține $(K'W/L)_1 = 0,6(K'W/L)_2$; tensiunea de tranziție V_{tr} are o valoare mai mare decât $V_{DD}/2$ (vezi fig.4.50). În punctul de intersecție a caracteristicii de transfer în tensiune cu dreapta $V_{in} = V_{out} (= V_{tr})$ tranzistoarele M_1 și M_2 funcționează în regiunea de saturație a curentului de drenă deoarece $V_{DS1} = V_{GS1} > V_{GS1} - V_T$ și $V_{SD2} = V_{SG2} > V_{SG2} - V_T$. Din egalitatea $I_{D1} = I_{D2}$ rezultă

$$0,6(V_{tr} - V_T)^2 = (V_{DD} - V_{tr} - V_T)^2 \text{ și } V_{tr} = 0,56V_{DD} - 0,13V_T.$$

Nivelul H la ieșirea porții NOR3 se obține cu $abc = LLL$. Tranziția LYH a cel puțin uneia dintre variabilele a, b, c determină tranziția HYL la ieșirea porții; timpul de propagare t_{pHL} depinde de numărul tranzițiilor LYH de la intrări, adică de numărul tranzistoarelor cu canal n care vor descărca nodul de ieșire. Se poate considera că timpul de propagare t_{pLH} nu depinde de numărul tranzițiilor HYL de la intrări, dacă acestea au loc simultan. În fig.4.59 este reprezentat modelul RC al porții NOR3 cu ajutorul căruia se pot estima timpii de propagare; N reprezintă numărul de tranzistoare din grupul paralel care se află simultan în conducție.

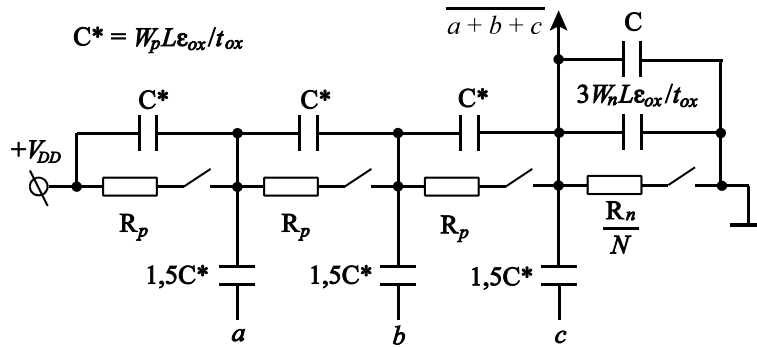


Fig.4.59 Modelul RC al porții NOR3

$$t_{pHL} = \frac{R_n}{N} (3W_n L \epsilon_{ox} / t_{ox} + \frac{1}{3} W_p L \epsilon_{ox} / t_{ox} + C) \quad (4.29)$$

$$t_{pLH} \cong 3R_p (3W_n L \epsilon_{ox} / t_{ox} + W_p L \epsilon_{ox} / t_{ox} + C) \quad (4.30)$$

Dacă C este termenul dominant în relațiile 4.29-4.30 atunci $t_{pHL} \approx R_n C/N$ și $t_{pLH} \approx 3R_p C$; viteza de operare a porții NOR scade proporțional cu numărul de tranzistoare din lanțul serie. Dimensionarea tranzistoarelor din structura porții NOR este optimă din punct de vedere al vitezei de operare dacă $t_{pHL \max} = t_{pLH}$; în cazul porții NOR3 această condiție implică $R_p = R_n/3$, adică $W_p = 10W_n$. Relațiile $W_p = W_n$ și $W_p = 10W_n$ determinate pentru poarta NAND3 și respectiv pentru NOR3 indică faptul că în topologia CMOS standard porțile NOR ocupă arie semnificativ mai mare decât porțile NAND; din acest motiv sunt preferate porțile NAND.

Tensiunile de tranziție ale porții NOR3 se pot calcula cu ajutorul inversorului echivalent, după exemplul prezentat mai sus pentru poarta NAND3.

În fig.4.60 sunt desenate subcircuite CMOS standard de tip AOI și OAI; rețelele de tranzistoare p au configurații duale față de cele ale rețelelor de tranzistoare n , adică unui grup serie(paralel) de tranzistoare din blocul B_n îi corespunde un grup paralel(serie) în blocul complementar $\bar{B}_p$ și reciproc.

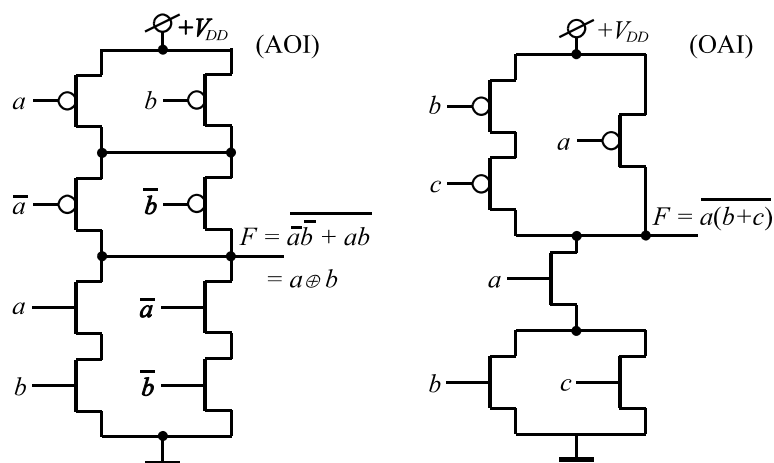


Fig.4.60 Subcircuite CMOS standard

În fig.4.61 sunt ilustrate trei posibilități de realizare a circuitelor cu trei stări în topologia CMOS standard.

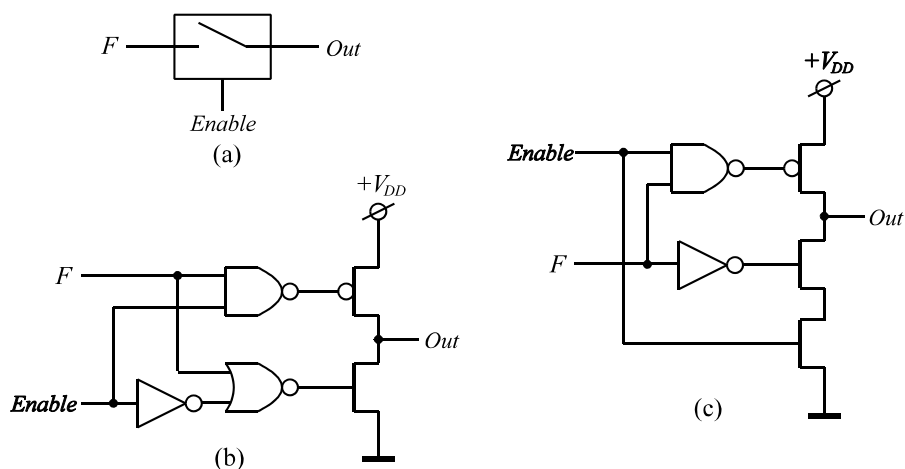


Fig.4.61 Circuite CMOS cu trei stări

Când $Enable = H$, la ieșirea Out se obține valoarea logică a funcției F ; dacă $Enable = L$ atunci $Out = Z$ (starea de înaltă impedanță). Circuitele din fig.4.61 b, c sunt numite și *buffere* neinversoare cu trei stări; prin introducerea unui inversor la intrarea F se obțin buffere inversoare cu trei stări ($Out = \bar{F}$ când $Enable = H$).

Topologia CMOS standard este utilizată, de obicei, ca bază de plecare în

proiectarea sistemelor digitale. Ulterior, părțile sistemului care se dovedesc a fi critice din punct de vedere al vitezei de operare și/sau al consumului de arie se înlocuiesc cu structuri echivalente funcțional dar care au topologii diferite de cea standard: pseudo-NMOS, DCVSL (Differential Cascode Voltage Switch Logic) sau CMOS dinamice. Problemele specifice interconectării blocurilor care au topologii de circuit diferite măresc efortul de calcul implicat în proiectare.

Topologia pseudo-NMOS este reprezentată în fig.4.62; aceasta se obține prin înlocuirea blocului $\bar{B}_p$ din structura CMOS standard (vezi fig.4.56) cu un singur tranzistor p MOS aflat permanent în conducție.

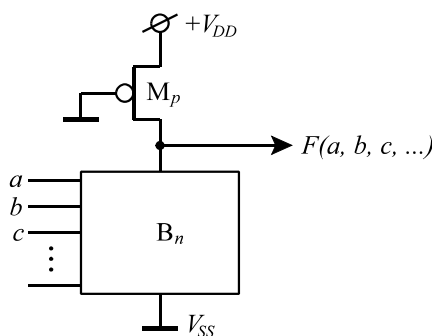


Fig.4.62 Topologia pseudo-NMOS

Prin eliminarea blocului $\bar{B}_p$ și a rețelei de conexiuni aferente acestuia se reduce considerabil consumul de arie.

În regim static, circuitul din fig.4.62 consumă putere când $F = \text{LOW}$ deoarece ieșirea se conectează simultan la V_{DD} și la V_{SS} . Tranzistoarele din blocul B_n trebuie dimensionate astfel încât să se obțină $V_{OL} \# V_{Tn}$ (tensiunea de prag a tranzistoarelor n MOS); dacă se respectă această condiție, în starea $F = \text{HIGH}$ consumul de putere static este nul iar timpul de propagare (dominant) t_{pLH} are valoare minimă. Fie M_n tranzistorul n MOS echivalent cu blocul B_n când $F = \text{LOW}$. Dimensiunile acestuia depind de combinația de valori logice aplicate la intrările $a, b, c, \dots$ iar cel mai mic raport W_n/L_n reprezintă situația cea mai defavorabilă pentru îndeplinirea condiției $V_{OL} \# V_{Tn}$. Dacă $V_{DD} - V_{OL} \geq V_{DD} - V_{Tp}^*$, adică dacă $V_{OL} \# V_{Tp}^*$, atunci tranzistorul M_p funcționează în regiunea de saturație a curentului de drenă iar tranzistorul echivalent M_n funcționează în regiunea liniară. Din egalitatea $I_{Dp} = I_{Dn}$ se obține relația de dimensionare

$$\frac{1}{2} K'_p \frac{W_p}{L_p} (V_{DD} + V_{Tp}) = K'_n \frac{W_n}{L_n} [(V_{IH} - V_{Tn})V_{OL} - \frac{1}{2} V_{OL}^2] \quad (4.31)$$

în care se impune $V_{OL} \# V_{Tn}$ și se poate considera $V_{IH} = V_{DD}$.

Circuitele pseudo-NMOS au viteză de operare mai mică și consumă mai multă putere în comparație cu circuitele CMOS standard.

Topologia DCVSL este reprezentată în fig.4.63. Blocurile complementare B_n și $\bar{B}_n$ sunt alcătuite numai din tranzistoare n MOS; configurația rețelei de tranzistoare din blocul $\bar{B}_n$ se poate deduce din cea a blocului B_n cu ajutorul dualismului serie-paralel și reciproc.

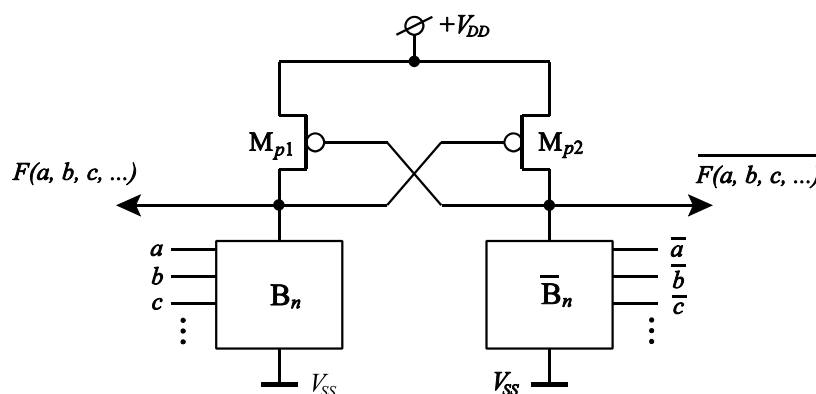


Fig.4.63 Topologia DCVSL

Circuitele DCVSL nu consumă putere în regim static deoarece:

- pentru orice combinație de valori L, H atribuite variabilelor $a, b, c, \dots$ se formează căi conductoare numai de la ieșirea F la V_{SS} prin B_n sau numai de la ieșirea $\bar{F}$ la V_{SS} prin $\bar{B}_n$;
- dacă $F = L$ și $\bar{F} = H$ atunci M_{p1} este blocat iar M_{p2} se află în conducție;
- dacă $F = H$ și $\bar{F} = L$ atunci M_{p1} se află în conducție iar M_{p2} este blocat.

Cuplarea “încrucișată” a tranzistoarelor M_{p1} și M_{p2} creează în circuit o reacție pozitivă prin care se accelerează tranzițiile ieșirilor F și $\bar{F}$. Astfel, dacă la un moment dat $F = L$, $\bar{F} = H$ și se aplică o nouă combinație de valori logice la intrările circuitului care să determine $F = H$ și $\bar{F} = L$, atunci calea sau căile conductoare formate în blocul $\bar{B}_n$ (de la ieșirea $\bar{F}$ la V_{SS}) determină intrarea în conducție a tranzistorului M_{p1} . Ca urmare, tensiunea în nodul F crește iar V_{SG2} scade, ceea ce implică reducerea curentului prin M_{p2} și scăderea tensiunii în nodul $\bar{F}$; curentul prin M_{p1} crește deoarece tensiunea de comandă V_{SG1} crește, ș.a.m.d. Viteza de operare a circuitelor DCVSL este mai mare decât a circuitelor CMOS standard.

Aria ocupată de blocul $\bar{B}_n$ este de aproximativ 3 ori mai mică decât aria ocupată de blocul echivalent $\bar{B}_p$ din structura standard deoarece performanțele unui tranzistor n MOS de dimensiuni (W, L) sunt comparabile cu cele ale unui tranzistor p MOS de dimensiuni $(3W, L)$. În general, structurile DCVSL

consumă mai puțină arie decât cele standard.

Un exemplu de circuit cu topologie DCVSL este prezentat în fig.4.64.

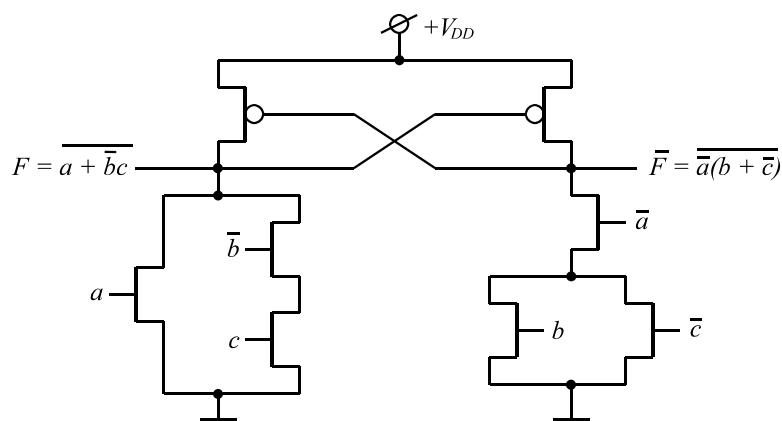


Figura 4.64

Blocurile complementare B_n și $\bar{B}_n$ dintr-o structură DCVSL pot să conțină părți identice iar o astfel de parte poate să fie utilizată în comun de către rețelele de tranzistoare din B_n și $\bar{B}_n$, obținându-se o reducere a consumului de arie. Acest lucru este ilustrat cu ajutorul circuitului din fig.4.65, care implementează funcțiile logice complementare $F = a + b r c$ și $\bar{F} = a + b r c$.

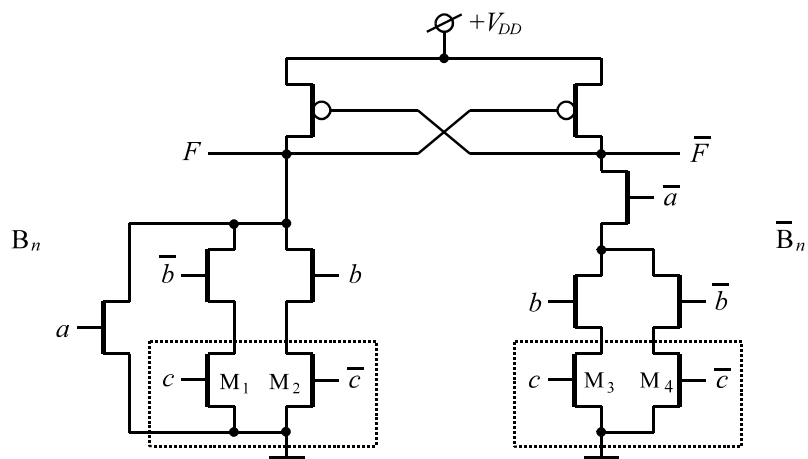


Figura 4.65

Tranzistorul M_3 poate fi suplinat de către M_1 (și invers) iar tranzistorul M_2 poate fi suplinat de către M_4 (și invers); nu este necesar ca dimensiunile W, L ale

tranzistoarelor “suplinitoare” să fie modificate. Simplificarea circuitului din fig.4.65 este prezentată în fig.4.66.

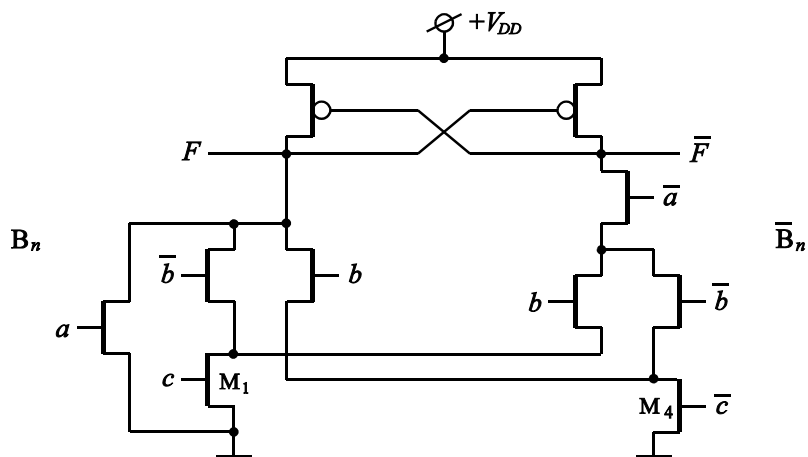


Figura 4.66

Observație: Structura blocului $\bar{B}_n$ poate fi determinată cu ajutorul dualismului serie-paralel pe baza structurii blocului B_n (și invers), însă aceasta nu înseamnă că se impune în mod obligatoriu o corespondență biunivocă între configurațiile rețelelor de tranzistoare ale celor două blocuri complementare. Relația de complementaritate a blocurilor B_n și $\bar{B}_n$ este una funcțională și nu structurală; structurile celor două blocuri pot fi determinate în mod independent, nu neapărat cu dualismul serie-paralel. Acest lucru este valabil și pentru blocurile complementare B_n și $\bar{B}_p$ din structurile CMOS standard.

Complementaritatea structurală, obținută cu ajutorul dualismului serie-paralel, implică complementaritatea funcțională dar nu și invers.

Rețeaua de tranzistoare a blocului $\bar{B}_n$ din fig.4.65 poate fi reprezentată analitic de expresia logică $\bar{a} \cdot (bc + \bar{b}\bar{c})$ și nu este obținută din rețeaua blocului B_n prin “transformări” serie-paralel și paralel-serie; prin astfel de transformări se obține o rețea de tranzistoare caracterizată de expresia logică $\bar{a} \cdot (b + \bar{c}) \cdot (\bar{b} + c)$.

4.2.3.2 Circuite CMOS dinamice

Aceste circuite au viteză de operare mai mare, consum mai mic de arie și putere disipată mai mică în comparație cu circuitele CMOS statice. Însă, din punct de vedere funcțional complexitatea crește; operațiile logice efectuate trebuie “controlate” cu ajutorul unor semnale de ceas. De asemenea, circuitele CMOS dinamice sunt mai sensibile la zgomot decât cele statice.

O categorie de circuite dinamice care poartă denumirea de *logică domino* are

la bază topologia reprezentată în fig.4.67.

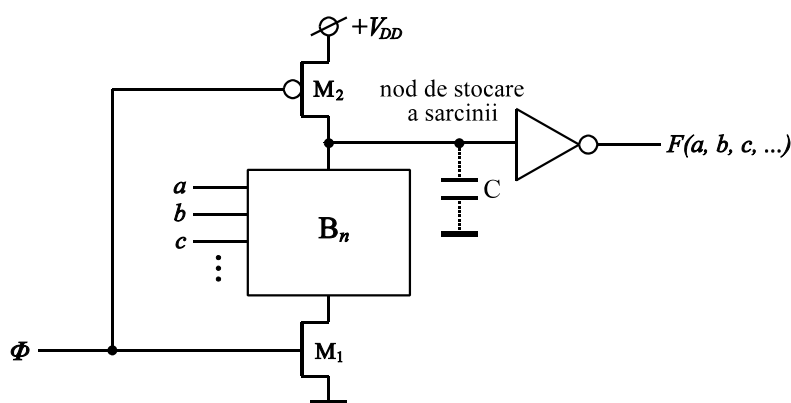


Fig.4.67 Logică domino

Consumul de arie este comparabil cu cel al circuitelor pseudo-NMOS. În regim de funcționare static puterea disipată este nulă. Capacitatea nodului de stocare C este intrinsecă tehnologiei de fabricare. Circuitele domino operează în două faze, controlate de semnalul de ceas Φ :

1) Faza de *preîncărcare* $\Upsilon \Phi = 0$

Tranzistorul M_1 este blocat iar capacitatea de stocare C se încarcă prin M_2 de la sursa V_{DD} . Durata acestei faze trebuie să fie suficient de mare pentru ca tensiunea nodului de stocare să ajungă la o valoare HIGH consistentă.

Se impune ca toate variabilele de intrare $a, b, c, \dots$ să aibă nivelul LOW în faza de încărcare. Deoarece capacitatea C se încarcă, ieșirea F a circuitului este forțată și menținută la valoarea 0 logic (LOW); această valoare nu reflectă dependența $F(a, b, c, \dots)$ și nu trebuie luată în considerare. Tranziția 0Y1 a ceasului Φ marchează sfârșitul fazei de încărcare și începutul fazei următoare.

2) Faza de *evaluare* $\Upsilon \Phi = 1$

Tranzistorul M_2 se blochează iar M_1 intră în conducție și conectează rețeaua de tranzistoare din blocul B_n la masă (V_{SS}). Variabilelor $a, b, c, \dots$ li se atribuie valorile dorite; o parte dintre acestea capătă valoarea logică 1 iar celelalte rămân la valoarea 0. Dacă variabilele cu valoarea 1 determină formarea cel puțin a unei căi conductoare între C și M_1 atunci C se descarcă și rezultă $F = 1$; altfel $F = 0$. Valoarea logică a ieșirii F de la sfârșitul fazei de evaluare este cea "utilă" deoarece reflectă dependența $F(a, b, c, \dots)$. Pentru ca această valoare să fie validă este necesar ca:

- durata fazei de evaluare să fie suficient de mare, astfel încât nodul de stocare să fie descărcat complet de către orice cale conductoare formată în blocul B_n ;
- schimbarea nivelelor logice de la intrările $a, b, c, \dots$ să se facă monoton (0Y1).

Schimbările de tipul 0Y1Y0 pot să determine descărcări parțiale ale capacității C până la nivele de tensiune care nu reprezintă valori logice valide, nici LOW și nici HIGH.

Într-o perioadă a ceasului Φ , adică pe durata unui ciclu preîncărcare-evaluare, se determină o singură valoare a funcției $F(a, b, c, \dots)$.

În logica domino se realizează porți OR, AND și subcircuite mai complexe care sunt echivalente cu rețele OR-AND. Aceste circuite nu sunt “complete” deoarece nu includ operația de inversare (negare); după cum s-a arătat în cap.1, sunt complete seturile de operații logice $\{+, \neg\}$ și $\{\cdot, \neg\}$.

Denumirea “domino” este justificată cu ajutorul circuitului din fig.4.68.

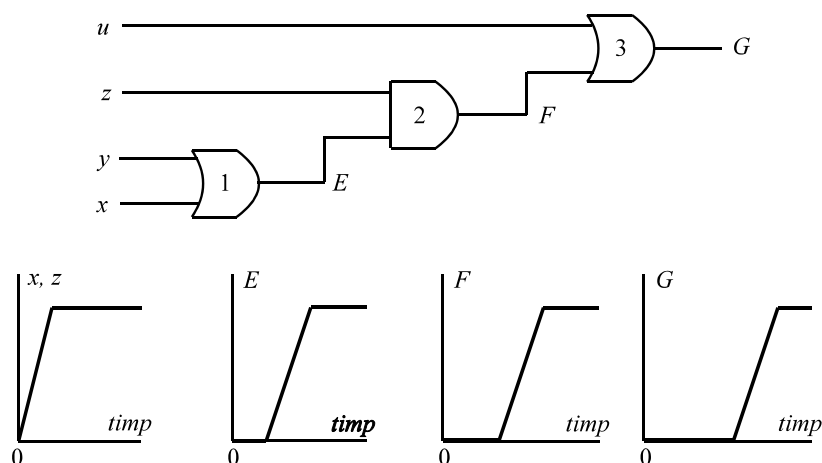


Figura 4.68

Momentul de referință 0 de pe axa timpului coincide cu tranziția 0Y1 a ceasului Φ , adică cu începutul fazei de evaluare. Înainte de acest moment, pe durata fazei de preîncărcare, toate intrările circuitului sunt fixate la valoarea L. Pe durata fazei de evaluare numai intrările x și z capătă valoarea H; aceste două schimbări se “propagă” succesiv prin porțile 1, 2 și 3 ale circuitului, determinând $E = H$, $F = H$ și respectiv $G = H$.

Circuitele domino au o funcționare sensibilă la erorile cauzate de:

- scurgerile de sarcină electrică din nodurile de stocare în substrat prin joncțiunile polarizate invers;
- cuplajele capacitive parazite care, în general, provoacă modificări nedorite ale sarcinii din nodurile de stocare.

Scurgerile de sarcină au loc în faza de evaluare, când toate intrările unui subcircuit dinamic rămân la nivelul LOW. Dacă durata fazei de evaluare este suficient de mare atunci valoarea logică de la ieșirea subcircuitului se schimbă

din 0 în 1 fără ca în blocul B_n să existe vreo cale conductoare de descărcare. Capacitatea parazită dintre intrarea și ieșirea inversorului din fig. 4.67 produce o creștere (scădere) a tensiunii din nodul de stocare, adică o creștere (scădere) a sarcinii stocate de capacitatea C , atunci când la ieșirea inversorului au loc tranziții rapide LYH (HYL). Această capacitate parazită se “opune” descărcării și încărcării nodului de stocare prin B_n și respectiv prin tranzistorul M_2 .

4.3 Circuite logice BiCMOS

Circuitele BiCMOS conțin în structura lor atât tranzistoare MOS cât și tranzistoare bipolare. Tehnologiile de fabricare BiCMOS moderne au început să se dezvolte după 1980, urmărindu-se realizarea unor circuite care să întrunească cele mai bune caracteristici MOS (putere disipată mică, consum redus de arie, impedanță de intrare mare) și bipolare (viteză de operare mare, curent de ieșire mare, sensibilitate redusă la zgomot).

Structura de bază a inversorului BiCMOS este desenată în fig.4.69. Rezistențele “parazite” R_b și R_c , intrinseci procesului de fabricare, au valori de ordinul sutelor de ohmi.

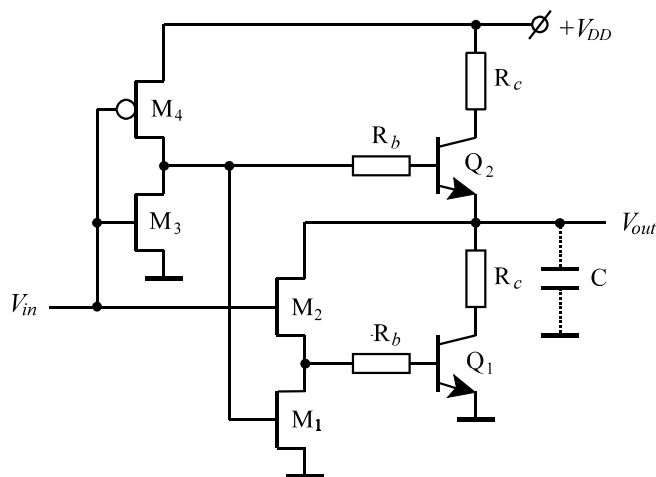


Fig.4.69 Structura de bază a inversorului BiCMOS

Tensiunea de la ieșirea inversorului acoperă doar intervalul $(0,7V; V_{DD} - 0,7V)$. Astfel, dacă $V_{in} = +V_{DD}$ atunci tranzistoarele M_2 și M_3 se află în conducție iar M_1 și M_4 sunt blocate; Q_2 este blocat deoarece are baza conectată la masă prin M_3 iar Q_1 are baza conectată la ieșirea inversorului prin M_2 , ceea ce înseamnă că se va afla în conducție până când capacitatea de sarcină C se descarcă la $0,7V$.

Dacă $V_{in} = 0V$ atunci tranzistoarele M_1 și M_4 se află în conducție iar M_2 și M_3 sunt blocate; Q_1 este blocat deoarece are baza conectată la masă prin M_1 iar Q_2 , având baza conectată la $+V_{DD}$ prin M_4 , se află în conducție și încarcă condensatorul C până la $V_{DD} - 0,7V$.

Tranzistoarele M_2 și M_4 se dimensionează astfel încât rezistențele lor efective drenă-sursă să fie egale cu R_b ; această relație este utilizată de obicei ca o regulă de proiectare. Rezistențele drenă-sursă efective ale tranzistoarelor M_1 și M_3 pot fi alese mai mari decât R_b însă, dacă M_3 și M_4 au rezistențe efective egale atunci tensiunea de comutare (tranziție) a inversorului are o valoare apropiată de $V_{DD}/2$. Prin aceasta se obține o caracteristică statică de transfer în tensiune simetrică și imunitate maximă la zgomot.

Ieșirea inversorului BiCMOS poate fi utilizată ca sursă de semnal sau de comandă pentru circuite CMOS cu condiția ca acestea din urmă să aibă tensiuni de comutare cât mai “depărtate” față de $0,7V$ și de $V_{DD} - 0,7V$; apropierea tensiunii de comutare față de oricare dintre aceste limite crește sensibilitatea la zgomot.

Timpii de propagare ai inversorului din fig.4.69 pot fi estimați cu relația:

$$t_{pLH} = t_{pHL} = R_c C. \quad (4.32)$$

Structura inversorului BiCMOS poate fi modificată astfel încât tensiunea de ieșire să acopere toată plaja de alimentare ($0; +V_{DD}$). O soluție este prezentată în fig.4.70.

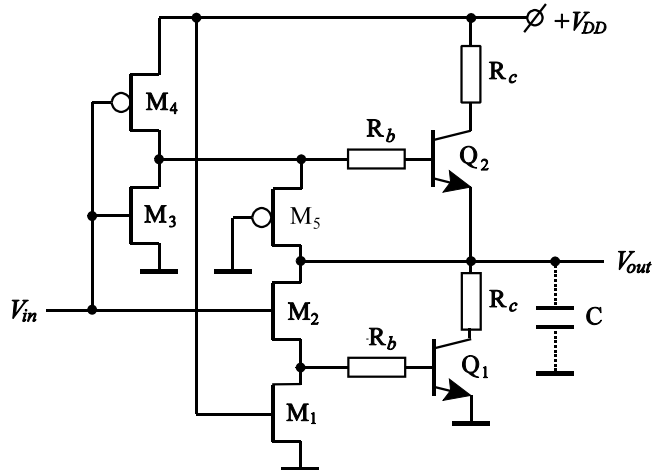


Fig.4.70 Inversor BiCMOS cu excursie maximă de tensiune la ieșire

Tranzistoarele M_1 și M_5 au canale cu lungime L mare, adică au rezistențe drenă-sursă mari. Când $V_{in} = \text{HIGH}$ se blochează M_4 , M_5 și Q_2 iar capacitatea C se

descarcă în principal prin tranzistorul Q_1 până la 0,7V și în continuare prin grupul $M_2 - M_1$ până la 0V. Când $V_{in} = \text{LOW}$ se blochează tranzistoarele M_2, M_3 și Q_1 iar capacitatea C se încarcă în principal prin Q_2 până la $V_{DD} - 0,7V$ și în continuare prin grupul $M_4 - M_5$ până la V_{DD} .

Inversoarele BiCMOS prezentate anterior nu disipă putere în regim static de funcționare. Inversorul din fig.4.70 consumă mai multă putere dinamică decât inversorul BiCMOS de bază, care la rândul lui are un consum mai mare decât inversorul CMOS. O structură de inversor BiCMOS cu consum redus de putere dinamică este desenată în fig.4.71; dimensiunile tranzistoarelor MOS sunt mai puțin critice însă circuitul ocupă arie mai mare. Tensiunea de ieșire poate să scadă până la 0V sau să crească până la V_{DD} .

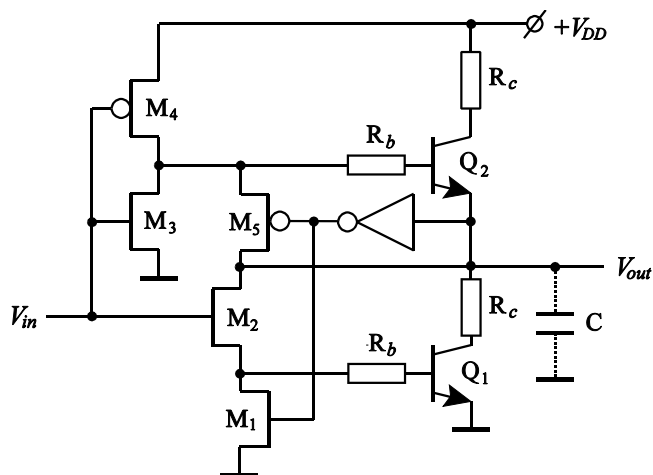


Fig.4.71 Inversor BiCMOS cu consum redus de putere dinamică

Funcționarea acestui inversor este foarte asemănătoare cu a inversorului din fig.4.70; deosebirea constă în comanda tranzistoarelor M_1 și M_5 . Micșorarea puterii disipate în regim dinamic se realizează prin reducerea domeniului de valori ale tensiunii de intrare V_{in} care determină conducția simultană a tranzistoarelor Q_1 și Q_2 .

Schemele porților logice BiCMOS se construiesc pe baza schemelor CMOS standard, după principiul ilustrat în fig.4.72; rezistențele parazite R_b și R_c ale tranzistoarelor bipolare nu sunt reprezentate. Blocurile complementare B_n și $\bar{B}_p$ sunt componentele structurii CMOS standard; un circuit BiCMOS consumă cu aproximativ 50% mai multă arie decât unul CMOS echivalent. La fel ca în cazul inversorului reprezentat în fig.4.69, tensiunea de la ieșirea unui circuit BiCMOS care se încadrează în topologia de bază are valori cuprinse în intervalul $(0,7V; V_{DD} - 0,7V)$.

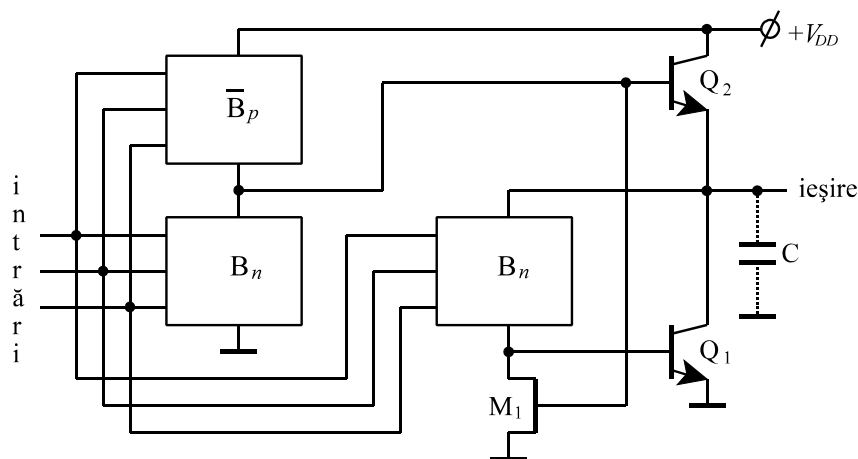


Fig.4.72 Topologia de bază BiCMOS

Timpii de propagare ai unui circuit BiCMOS sunt dominați de timpii de încărcare și descărcare a capacității de sarcină C . Viteza de operare și puterea disipată în regim dinamic pot fi evaluate cu relațiile de calcul corespunzătoare inversorului; pentru aceasta rețelele de tranzistoare B_n și $\overline{B}_p$ trebuie înlocuite fiecare cu câte un tranzistor echivalent. Dimensiunile W , L ale unui astfel de tranzistor depind de valorile logice aplicate la intrările circuitului. Cu alte cuvinte, inversorul echivalent utilizat pentru evaluare în locul unui circuit mai complex este compus din tranzistoare cu parametri variabili.

4.4 Interfațarea familiilor de circuite logice

Sistemele digitale se construiesc, în general, cu circuite dintr-o singură familie logică. În anumite situații, performanțele sistemelor pot fi crescute dacă se utilizează circuite din mai multe familii logice. Datorită caracteristicilor electrice diferite, interconectarea directă a circuitelor care nu fac parte din aceeași familie nu este întotdeauna posibilă. Pentru aceasta sunt necesare circuite de interconectare speciale, numite circuite de *interfațare*. Aceste circuite pot fi integrate pe chip-uri distincte sau chiar pe chip-urile care conțin subsistemele. Tehnologiile de fabricare BiCMOS sunt adecvate pentru integrarea sistemelor alcătuite din circuite MOS și bipolare. În prezent, familia CMOS este cea mai utilizată; blocurile funcționale care sunt critice din punctul de vedere al vitezei de operare se realizează, de obicei, cu circuite ECL.

Structura unui circuit BiCMOS care realizează conversia ECL-CMOS este reprezentată în fig.4.73; toate tranzistoarele bipolare sunt de tip *npn*, ceea

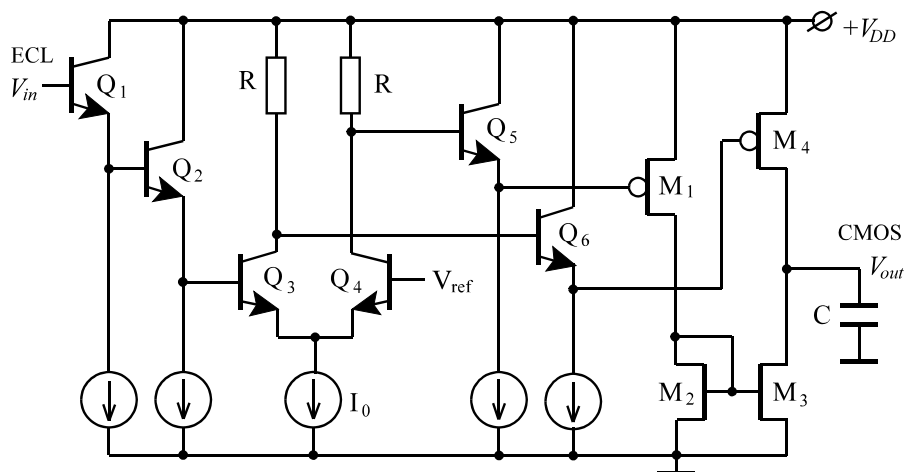


Fig.4.73 Interfață ECL-CMOS

ce constituie un avantaj din punct de vedere tehnologic. Tranzistoarele Q_1 - Q_2 realizează o deplasare a nivelului de tensiune V_{in} cu $2V_{BE} - 1,5V$. În funcție de valoarea logică H sau L (ECL) aplicată la intrare, unul dintre tranzistoarele comutatorului de curent Q_3 - Q_4 se blochează iar celălalt preia curentul I_0 . Tensiunile de colector ale tranzistoarelor Q_3 și Q_4 se modifică între $V_{DD} - RI_0$ și V_{DD} . În regim static de funcționare, la ieșirile repetoarelor pe emitor Q_5 - Q_6 se obțin tensiunile $V_{DD} - RI_0 - 0,7V$ și $V_{DD} - 0,7V$. Pentru ca încărcarea-descărcarea capacității de sarcină C să fie cât mai rapidă iar puterea disipată de circuit să fie cât mai mică, aceste două tensiuni trebuie să determine conducția tranzistoarelor M_1 , M_2 , M_3 și blocarea tranzistorului M_4 sau blocarea tranzistoarelor M_1 , M_2 , M_3 și conducția tranzistorului M_4 ; pentru aceasta M_1 și M_4 trebuie să aibă tensiunea de prag mai mare de $0,7V$ (în modul). Domeniul de variație relativ mare a tensiunilor de colector Q_3 - Q_4 limitează viteza de operare a circuitului.

Interfața ECL-CMOS din fig.4.74 necesită un proces tehnologic mai complex deoarece se utilizează ambele tipuri de tranzistoare bipolare, *nnp* și *pnp*. În schimb, timpii de propagare și puterea disipată se reduc semnificativ. Etajul de ieșire, fiind realizat cu tranzistoare bipolare, furnizează curenți de sarcină mai mari decât etajul de ieșire MOS din fig.4.73. Divizorul de tensiune R_1 - R_2 - R_3 polarizează tranzistoarele Q_5 și Q_6 la limita intrării în conducție. În regim static de funcționare tranzistoarele Q_5 și Q_6 sunt blocate; nivelul logic de ieșire este “memorat” și menținut de circuitul format din inversoarele I_1 - I_2 . Fără a pierde din generalitate se consideră nivelul LOW la ieșire. Tranzistoarele M_1 și M_4 sunt blocate iar M_3 , aflat în conducție, determină blocarea tranzistorului Q_5 prin șuntarea joncțiunii BE; anterior, acesta din urmă era saturat și a descărcat capacitatea de sarcină. Tranzițiile simultane HYL și LYH ale

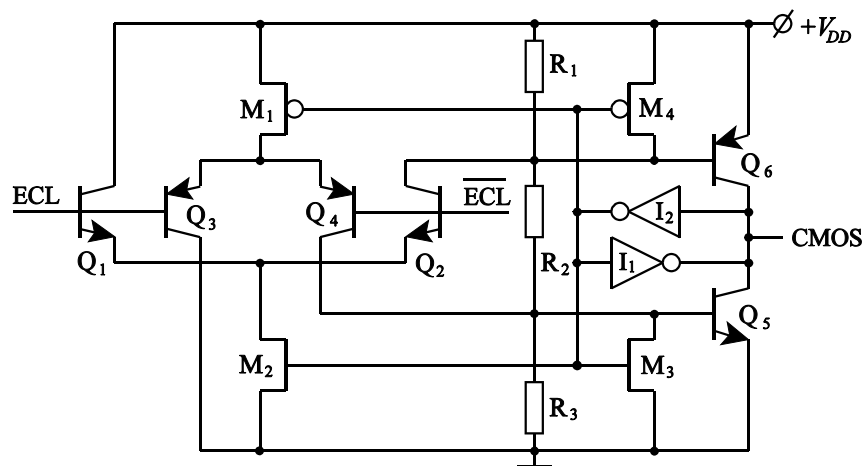


Fig.4.74 Interfață ECL-CMOS performantă

intrărilor complementare ECL și respectiv ECL comută curentul de referință al tranzistorului M_2 de la Q_1 la Q_2 , curent care va trece prin baza tranzistorului Q_6 . Acesta intră în RAN (regim activ normal) și încarcă nodul de ieșire. Pe măsură ce tensiunea de ieșire crește către valoarea HIGH, Q_6 trece în saturație; tensiunea de la ieșirea inversorului I_2 scade la nivelul L și blochează tranzistoarele M_2 - Q_2 . Intrarea în conducție a tranzistorului M_4 grăbește blocarea tranzistorului Q_6 .

Curentul consumat de la sursa de alimentare în regim static de circuitul din fig.4.74 are două componente: curentul prin divizorul rezistiv, $V_{DD}/(R_1+R_2+R_3)$ și curentul care trece prin tranzistoarele M_1 - Q_3 (M_2 - Q_1) când nivelul de la intrarea ECL este L (H). Prin dimensionarea tranzistoarelor M_1 , M_2 se realizează compromisul dintre puterea disipată și viteza de operare a interfeței.

Circuitul desenat în fig.4.75 realizează conversia CMOS-ECL.

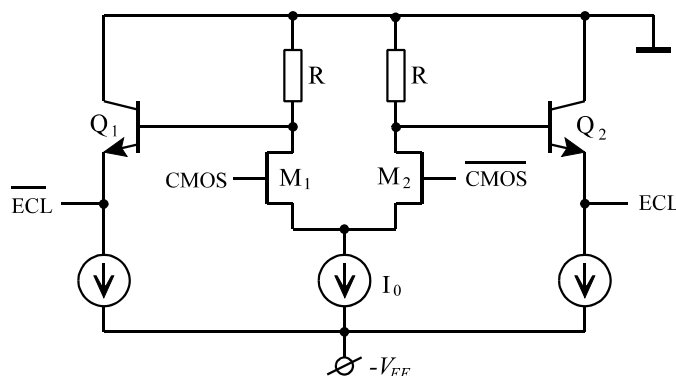


Fig.4.75 Interfață CMOS-ECL

Circuitele CMOS și TTL(LS) pot fi direct interconectate dacă se utilizează tensiune de alimentare comună (5V) și se măresc dimensiunile tranzistoarelor MOS din etaje de ieșire care comandă intrări TTL.

4.5 Aspecte de proiectare cu circuite logice

4.5.1 Tratarea intrărilor neutilizate

De obicei sistemele digitale sunt construite din subsisteme sau “plăci”; la rândul ei, o placă conține mai multe circuite integrate interconectate între ele. Deseori anumite părți sau blocuri funcționale dintr-un circuit integrat nu sunt utilizate în cadrul sistemului. Dacă intrările acestor blocuri se lasă în gol atunci în funcționarea sistemului pot să apară erori, mai ales când impedanțele de intrare sunt mari (cum este cazul circuitelor MOS). Intrările lăsate în gol sunt sensibile la toate sursele de zgomot (vezi fig.4.2). Se recomandă ca intrările neutilizate să nu fie lăsate în gol ci să li se atribuie nivele logice valide. Nivelul logic care trebuie aplicat la o intrare neutilizată particulară depinde de funcția implementată de acel subcircuit.

În cazul subcircuitelor simple, cum sunt porțile logice, intrările neutilizate pot fi legate la cele care sunt utilizate și/sau la una dintre bornele sursei de alimentare. Un exemplu este ilustrat în fig.4.76.

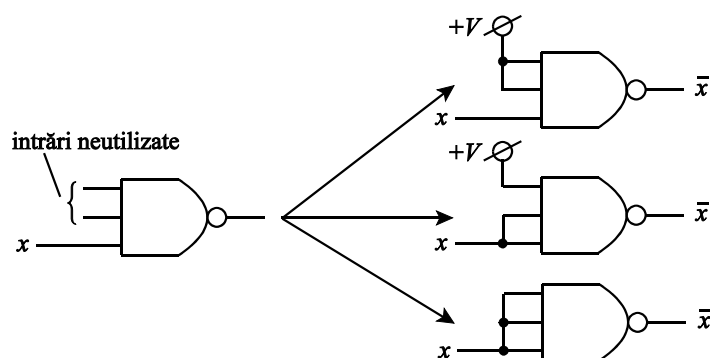


Figura 4.76

Între aceste trei soluții de rezolvare a intrărilor neutilizate există deosebiri. Astfel, dacă poarta NAND3 este realizată într-o tehnologie bipolară atunci curentul de ieșire al sursei de semnal x crește proporțional cu numărul de intrări conectate împreună. Dacă poarta este realizată într-o tehnologie MOS atunci încărcarea capacitivă a sursei de comandă x crește proporțional cu numărul de intrări conectate împreună; de asemenea, acest număr influențează tensiunea de

tranziție a porții și timpii de propagare. De la caz la caz, se poate stabili care este soluția cea mai convenabilă de tratare a intrărilor neutilizate.

Poarta NAND3 din exemplul de mai sus este parțial utilizată. Dacă poarta ar fi complet neutilizată atunci este suficient ca o singură intrare să se conecteze la borna “-” a sursei de alimentare (nivelul L), ceea ce determină blocarea porții prin fixarea ieșirii la 1 logic.

4.5.2 Circuite de protecție și fenomene “latch-up”

Toate circuitele integrate sunt prevăzute cu circuite de protecție la descărcări electrostatice pe conexiunile exterioare (pini), realizate sub forma unor rețele de diode și eventual rezistoare. Aceste componente de circuit sunt introduse voit sau sunt intrinseci procesului de fabricare.

Circuitele de protecție specifice familiilor TTL sunt reprezentate în fig.4.77. Dioda D_1 este introdusă intenționat în schema circuitului; ea are și rolul de limitare a impulsurilor negative care apar la intrare ca urmare a reflexiilor generate de fronturile sursei de comandă pe liniile de transmisie. Diodele D_2 și D_3 sunt joncțiuni de izolare colector-substrat, intrinseci procesului de fabricare. Tensiunile de străpungere a diodelor de protecție D_1 , D_2 , D_3 au valori de ordinul zeci de volți.

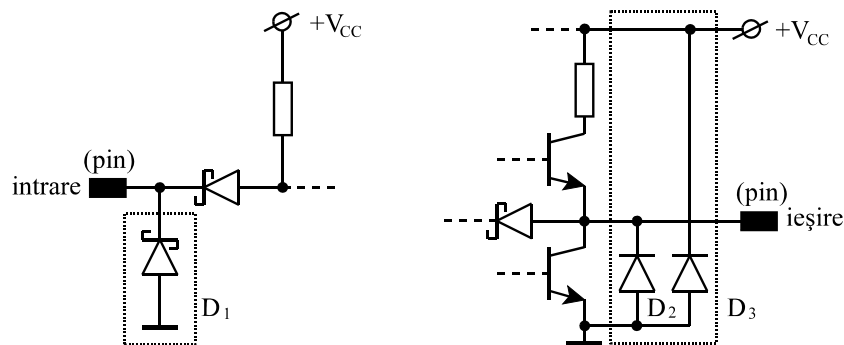


Fig.4.77 Protecția intrărilor și ieșirilor TTL

În fig.4.78 este reprezentată o secțiune transversală printr-o porțiune a unui chip în care sunt amplasate diodele D_1 , D_2 , D_3 . Tensiunile de intrare negative polarizează direct dioda Schottky D_1 . Căderea de tensiune pe această diodă este de aproximativ 0,4V la curenți mici, situație în care funcționarea circuitului integrat nu este perturbată. Dacă prin D_1 circulă curenți de ordinul zeci de mA atunci tensiunea directă pe diodă poate să depășească 0,7V, ceea ce determină intrarea în conducție a tranzistorului multicolector parazit și apariția unui curent mare în substrat. Acest curent este absorbit din colectori

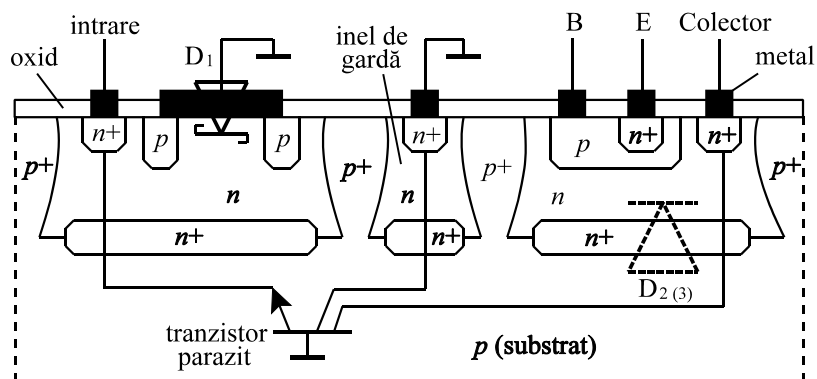


Fig.4.78 Elemente de protecție în circuitele bipolare

tranzistoarelor active aflate în vecinătate și perturbă funcționarea normală a circuitului. O măsură de “protejare” a tranzistoarelor active și de asigurare a unei funcționări corecte constă în plasarea din loc în loc a unor *inele de gardă*. Aceste insule de tip *n* devin colectori ai tranzistorului parazit și schimbă direcția fluxului de electroni în substrat, de la colectoriile tranzistoarelor active la masă. Inelele de gardă sunt construite astfel încât să se garanteze funcționarea fără erori chiar și atunci când dioda D_1 este traversată de un curent direct de 60 mA timp de 100 ns.

Observații:

- 1) Tensiunile de intrare negative care produc curenți de numai câțiva mA prin diodele D_1 dar cu durate de ordinul μs perturbă funcționarea circuitului; frecvența de tăiere a tranzistoarelor parazite este aproximativ 1MHz.
- 2) Alimentarea unui circuit TTL cu tensiune negativă, prin inversarea bornelor sursei de alimentare, conduce la defectarea catastrofică a chipului ca urmare a căldurii excesive disipate de joncțiunile de izolare de tip D_3 .

Circuitele de protecție la descărcări electrostatice specifice familiei CMOS sunt reprezentate simplificat în fig.4.79. Logica de aplicație inclusă într-un circuit integrat CMOS comunică cu exteriorul prin buffere.

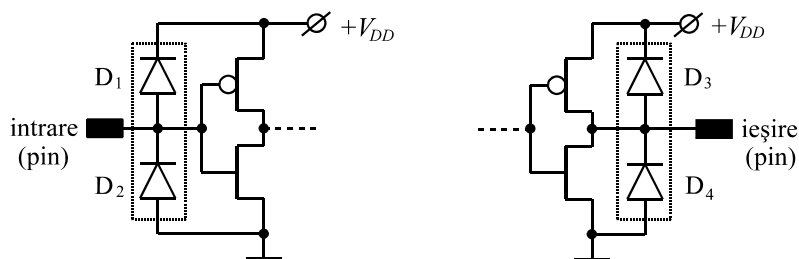


Fig.4.79 Protecția intrărilor și ieșirilor CMOS

Diodele D_1 , D_2 sunt introduse în mod intenționat în schema circuitului iar diodele D_3 , D_4 sunt intrinseci procesului de fabricare. Tensiunile de străpungere ale acestor diode au valori de ordinul zecilor de volți iar oxidul de siliciu este protejat contra descărcărilor electrostatice de până la câțiva KV.

Observație: Alimentarea unui circuit CMOS cu tensiune negativă, prin inversarea bornelor sursei de alimentare, conduce la defectarea catastrofică a chipului datorită puterii excesive disipate în rețelele de protecție polarizate direct.

În fig.4.80 este reprezentată o secțiune transversală prin structura bufferului (inversor) asociat unui pin de ieșire, în care sunt evidențiate diodele de protecție D_3 , D_4 și elemente de circuit parazite (rezistoare, condensatoare și tranzistoare bipolare).

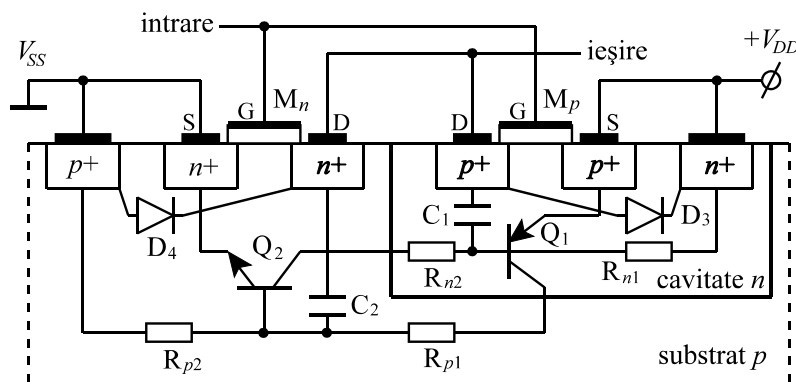


Fig.4.80 Buffer CMOS

Dioda D_3 este joncțiunea formată de insula p^+ a drenei tranzistorului cu canal p și cavitatea n ; dioda D_4 este joncțiunea formată de substratul p și insula n^+ a drenei tranzistorului cu canal n . Rezistoarele R_{p1} , R_{p2} și R_{n1} , R_{n2} sunt efecte ale rezistivității substratului p și respectiv a cavității n . C_1 și C_2 sunt capacitățile regiunilor de sarcină spațială create în cavitatea n și respectiv în substrat de către insulele de drenă ale tranzistoarelor M_p și M_n . Emitorul, baza și colectorul tranzistorului bipolar parazit Q_1 (pnp vertical) sunt insula p^+ a sursei tranzistorului M_p , cavitatea n și respectiv substratul; emitorul, baza și colectorul tranzistorului bipolar parazit Q_2 (nnp lateral) sunt insula n^+ a sursei tranzistorului M_n , substratul și respectiv cavitatea n .

Elementele parazite din structura inversorului CMOS formează un *tiristor* parazit; schema acestuia este desenată în fig.4.81. Fronturile negative ale tensiunii de ieșire a inversorului se transmit prin C_1 în baza lui Q_1 și este posibil ca acest tranzistor să intre în conducție. Ca urmare, curentul prin R_{p1} - R_{p2} crește iar Q_2 poate să intre în conducție. Dacă se întâmplă acest lucru atunci curentul

de colector al lui Q_2 va determina conducția mai puternică a tranzistorului Q_1 și invers, până când se ajunge la un regim de conducție permanent; fenomenul este numit *latch-up* (“agățare”). Traseele de alimentare V_{DD} și V_{SS} se șuntează prin substrat iar chip-ul se poate distruge termic.

Fronturile pozitive ale tensiunii de ieșire a inversorului CMOS se transmit prin C_2 în baza tranzistorului Q_2 și pot amorsa tiristorul parazit într-un mod asemănător cu cel descris mai sus. Blocarea tiristorului se poate face numai prin deconectarea tensiunii de alimentare.

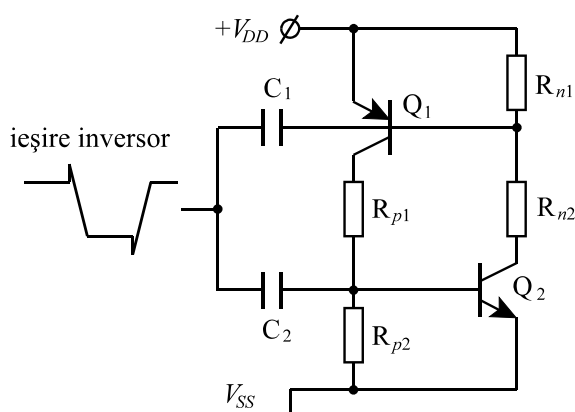


Fig.4.81 Tiristor parazit în structura inversorului CMOS

Fenomenul latch-up poate să apară numai în bufferele pinilor de ieșire deoarece tranzistoarele MOS ale acestora au dimensiuni relativ mari, ceea ce înseamnă capacități parazite C_1 , C_2 mari.

Există mai multe tehnici de eliminare a fenomenului latch-up. O metodă constă în micșorarea rezistențelor R_{n1} și R_{p2} prin introducerea unor contacte suplimentare între cavitatea n și V_{DD} pe de o parte și între substrat și V_{SS} pe de altă parte; aceste contacte suplimentare sunt plasate între drenele tranzistoarelor M_p și M_n din structura inversorului CMOS, așa cum se arată în fig.4.82.

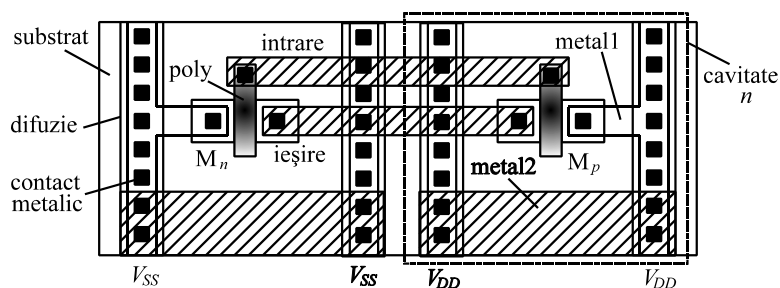


Fig.4.82 Layout de inversor CMOS cu protecție contra latch-up

O altă metodă de eliminare a fenomenului latch-up are la bază construirea bufferelor de ieșire numai cu tranzistoare n MOS; în fig.4.83 este desenată schema unui “super buffer” n MOS.

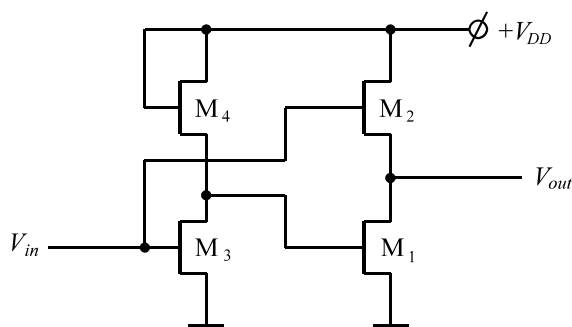


Fig.4.83 Super buffer n MOS (neinversor)

Tranzistorul M_4 funcționează în regiunea de saturație a curentului de drenă deoarece $V_{GS4} = V_{DS4}$. Nivelul LOW aplicat la intrarea bufferului blochează tranzistoarele M_2 și M_3 iar M_1 se află în conducție ($V_{GS1} = V_{DD} - V_{T4}$) și conectează ieșirea la masă. Dacă la intrare se aplică nivelul logic HIGH ($= V_{DD}$) atunci M_2 și M_3 intră în conducție; tranzistorul M_3 se dimensionează în raport cu M_4 astfel încât M_1 să se blocheze, adică să se obțină $V_{DS3} < V_{T1}$. În aceste condiții tensiunea de la ieșirea bufferului are valoarea $V_{out} = V_{in} - V_{T2} = V_{DD} - V_{T2}$.

4.5.3 Comanda sarcinilor capacitive mari

Traseele metalice ale plăcilor unui sistem, liniile de transmisie, rețelele de conexiuni prin care se distribuie anumite semnale în interiorul unui chip etc. constituie sarcini capacitive mult mai mari decât cele tipice, asociate cu o intrare a unei porți logice. Întârzierile datorate unei sarcini capacitive depind de valorile curenților de încărcare și descărcare a acesteia. Tranzistoarele bipolare sunt cele mai potrivite pentru comanda capacităților de sarcină mari. Când acest lucru nu este posibil și se utilizează tranzistoare MOS, valorile dorite pentru curentul de sarcină se ajustează prin intermediul dimensiunilor W , L . Un singur inversor CMOS cu tranzistoare mari nu este suficient pentru comanda unei capacități mari, deoarece un astfel de inversor constituie la rândul lui o sarcină capacitivă mare (vezi fig.4.52). Capacitatea de intrare a inversorului este însă mai mică decât capacitatea de sarcină. Soluția CMOS pentru comanda sarcinilor capacitive mari constă în conectarea în serie a mai multor inversoare, cu dimensiuni reduse progresiv până la normal, după cum se arată în fig.4.84. Fiecare inversor introdus determină o creștere de α ori a curentului de sarcină.

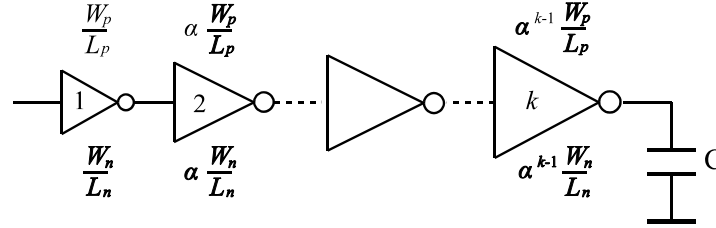


Fig.4.84 Comanda sarcinilor capacitive mari cu circuite CMOS

Fie C_1 capacitatea de intrare a inversorului 1; se consideră că tranzistoarele M_n și M_p din structura acestuia au dimensiuni minime. Factorul α se calculează cu relația:

$$\alpha = \left(\frac{C}{C_1} \right)^{\frac{1}{k}} \quad (4.33)$$

Dacă timpul de propagare al unui inversor cu dimensiuni minime, având ca sarcină o capacitate egală cu C_1 , are valoarea t_p atunci fiecare inversor din fig.4.84 introduce o întârziere egală cu $\alpha \cdot t_p$; capacitatea de intrare și curentul de ieșire ai inversorului sunt proporționale cu dimensiunile tranzistoarelor componente. Întârzierea totală a lanțului de inversoare este:

$$T_p = k \cdot \alpha \cdot t_p. \quad (4.34)$$

Se dorește ca această întârziere, dependentă de numărul k , să fie minimă. Numărul optim de inversoare este soluția ecuației $dT_p/dk = 0$:

$$k_{opt} = \ln \left(\frac{C}{C_1} \right) \quad (4.35)$$

Introducând k_{opt} în relația 4.33 rezultă $\alpha_{opt} = e$ (2,718...). În general, k_{opt} nu este un număr întreg; se alege pentru k valoarea întreagă cea mai apropiată de k_{opt} .

4.5.4 Deconectarea parțială a tensiunilor de alimentare

Sistemele digitale mari pot fi proiectate astfel încât pe diferite intervale de timp unele subsisteme să se afle în regim normal de operare iar altele să fie în “repaus”. Starea de repaus a unui bloc logic se obține fie prin deconectarea tensiunii de alimentare a blocului, fie prin reducerea acesteia la valori mici. De obicei se trec în repaus acele părți ale sistemului care temporar nu sunt necesare. De exemplu, sistemele *auto-reparabile* conțin copii de rezervă pentru unele blocuri (subsisteme); toate rezervele sunt ținute în repaus până când se detectează erori în funcționarea unui bloc “titular”, moment în care acesta din

urmă se înlocuiește automat cu o rezervă. Prin menținerea rezervelor în stare de repaus se reduce semnificativ puterea consumată.

Blocurile aflate în repaus nu trebuie să perturbe funcționarea celor care operează în regim normal. De asemenea, curenții din blocurile cu regim normal de operare nu trebuie să treacă prin blocurile care sunt în repaus. O schemă ideală de izolare este reprezentată în fig.4.85.

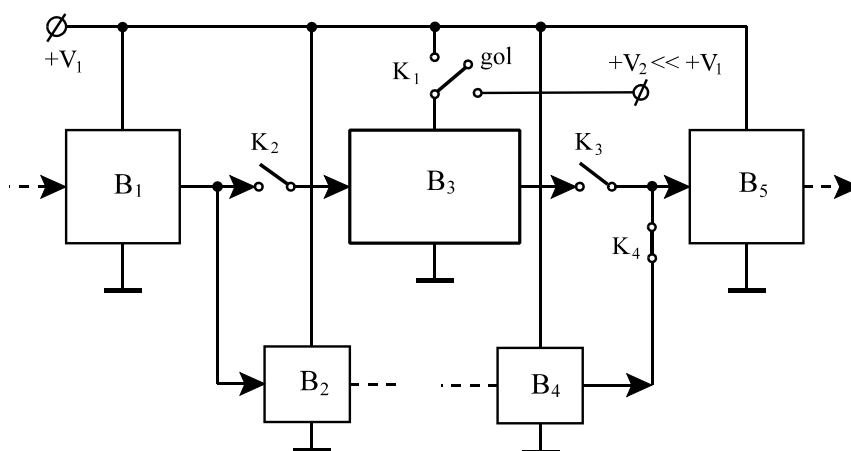


Fig.4.85 Izolarea unui bloc aflat în repaus

Trecerea în repaus a blocului funcțional B_3 se realizează cu ajutorul comutatorului K_1 , fie prin întreruperea tensiunii normale de alimentare V_1 fie prin alimentarea cu o tensiune $V_2 \ll V_1$. Reducerea tensiunii de alimentare de la valoarea V_1 la o valoare mai mică V_2 este necesară atunci când B_3 conține celule de memorie și se dorește păstrarea valorilor logice memorate. Blocurile B_3 și B_4 pot să opereze simultan numai dacă etajele de ieșire ale acestora permit acest lucru. Comutatoarele $K_1 \div K_4$ sunt realizate, de obicei, cu tranzistoare.

Dacă sistemul digital din fig.4.85 este construit cu circuite TTL-LS (vezi fig.4.21), atunci etajele de intrare și de ieșire ale blocului B_3 aflat în repaus sunt echivalente cu subcircuitul reprezentat în fig.4.86.

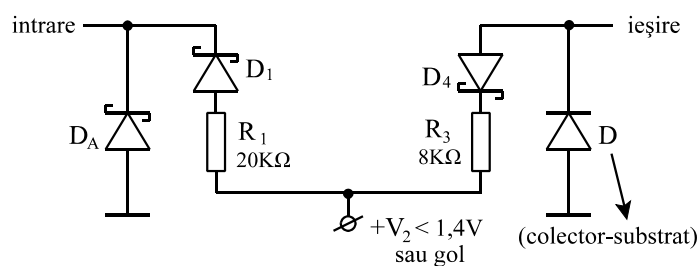


Figura 4.86

În cazul în care B_3 ar rămâne conectat la B_1 și respectiv la B_4 - B_5 , la intrarea și ieșirea circuitului de mai sus se pot aplica (în mod independent) tensiuni cu valori între 0,3V și 4,3V. Diodele D_A și D se blochează. Ieșirile din B_1 și B_4 aflate în stările LOW și respectiv HIGH generează curenți care se închid prin B_3 :

$$I_{B1} = (V_2 - V_{D1(on)} - V_{OL})/R_1 \cdot 35 \mu A, I_{B4} = (V_{OH} - V_{D4(on)} - V_2)/R_3 \cdot 0,2 \text{ mA}$$

sau, când se întrerupe alimentarea blocului B_3

$$I_{B1} = I_{B4} = (V_{OH} - V_{D4(on)} - V_{D1(on)} - V_{OL})/(R_1 + R_3) \cdot 90 \mu A.$$

Încărcarea suplimentară a blocului B_1 este mică, astfel că întrerupătorul K_2 nu este necesar (B_3 poate să rămână conectat la B_1). Conectarea ieșirii circuitului din fig.4.86 la o ieșire TTL-LS este echivalentă însă cu 5÷10 sarcini elementare, ceea ce impune întreruperea legăturilor dintre B_3 și B_4 atunci când B_4 se află pe o cale critică din punct de vedere al vitezei de operare.

Dacă blocul B_3 este CMOS sau BiCMOS și are la intrări diode de protecție la descărcări electrostatice (vezi fig.4.79) atunci este obligatorie întreruperea legăturilor dintre B_1 și B_3 . Motivul este ilustrat în fig.4.87.

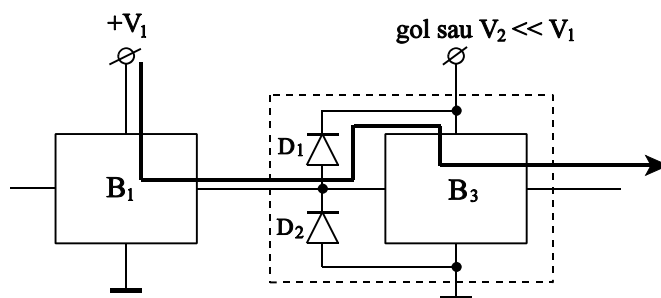


Figura 4.87

Nivelul HIGH la ieșirea blocului B_1 polarizează direct dioda de protecție D_1 și alimentează blocul B_3 cu tensiunea $V_1 - V_{D1(on)}$. Pe de o parte funcționarea blocului B_1 este perturbată datorită încărcării excesive iar pe de altă parte dioda D_1 se poate distruge prin depășirea curentului direct maxim admis ($\sim 10 \text{ mA}$). În fig.4.88 este desenată o rețea de protecție modificată, care izolează B_3 de B_1

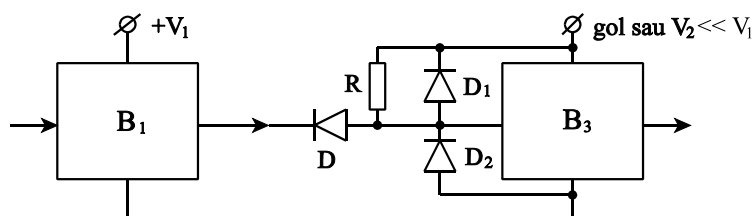


Fig.4.88 Rețea de protecție CMOS modificată

atunci când se deconectează sau se reduce tensiunea de alimentare a blocului B_3 . Nivelul H la ieșirea blocului B_1 blochează dioda D. Dacă B_3 este alimentat cu tensiunea $V_2 > V_{D(on)}$ și nivelul logic la ieșirea blocului B_1 este L, atunci dioda D este polarizată direct; curentul $I_D = (V_2 - V_{D(on)} - V_{OL})/R$ constituie o sarcină suplimentară pentru B_1 și poate fi redus la valori rezonabile cu ajutorul rezistorului R. Acest rezistor este necesar în funcționarea normală a blocului B_3 pentru ridicarea nivelului logic de intrare HIGH la tensiunea V_1 când dioda D se blochează. Puterea consumată de B_1 crește când B_3 operează în regim normal; curentul suplimentar absorbit de B_1 are valoarea $I_D = (V_1 - V_{D(on)} - V_{OL})/R$. De asemenea, timpul de propagare t_{pHL} al blocului B_1 crește. Din acest punct de vedere este de preferat o valoare cât mai mare pentru rezistența R; însă, tensiunea de intrare în B_3 ar crește lent de la $(V_1 - V_{D(on)})$ la V_1 , ceea ce înseamnă o margine de zgomot mică. Trebuie făcut un compromis între aceste două “interese”.

4.5.5 Oscilatoare cu porți logice

Cu porți logice se pot construi scheme simple de oscilatoare RC, numite și generatoare de semnale dreptunghiulare periodice sau *astabile*. Oscilatoarele cu porți CMOS sau BiCMOS sunt mai ușor de analizat “manual”.

O schemă de astabil cu două inversoare CMOS este desenată în fig.4.89. Rezistorul R^* (zeci sau sute de $K\Omega$) limitează curentul direct prin diodele rețelei de protecție de la intrarea inversorului 1, dacă există; altfel, acest rezistor nu este necesar.

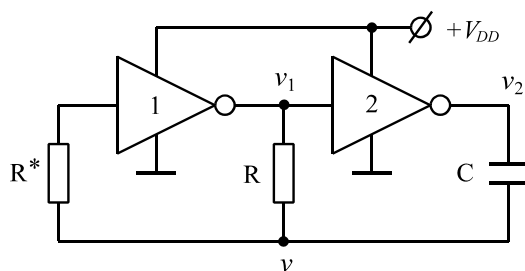


Fig.4.89 Astabil cu inversoare CMOS

În momentul conectării tensiunii de alimentare condensatorul C este de obicei descărcat. Imediat după alimentare, circuitul poate să ajungă în starea $v_1 = L$ și $v_2 = H$ sau în starea $v_1 = H$ și $v_2 = L$. Variațiile în timp ale tensiunilor v_1 , v_2 și v sunt reprezentate în fig.4.90; momentul de referință 0 pe axa timpului este momentul conectării tensiunii de alimentare V_{DD} . S-a considerat că:

- starea inițială, după conectarea tensiunii de alimentare, este $v_1 = L$ și $v_2 = H$;
- valoarea rezistenței R este suficient de mare, astfel încât curenții de ieșire ai

inversoarelor au valori relativ mici iar nivelele logice V_{OL} și V_{OH} sunt două tensiuni constante, nu neapărat egale cu $0V$ și respectiv cu $+V_{DD}$;

- timpii de propagare ai inversoarelor sunt mult mai mici decât perioada T a tensiunilor v_1 , v_2 , v ;

- tensiunile de tranziție sau de comutare ale celor două inversoare sunt V_{tr1} și V_{tr2} .

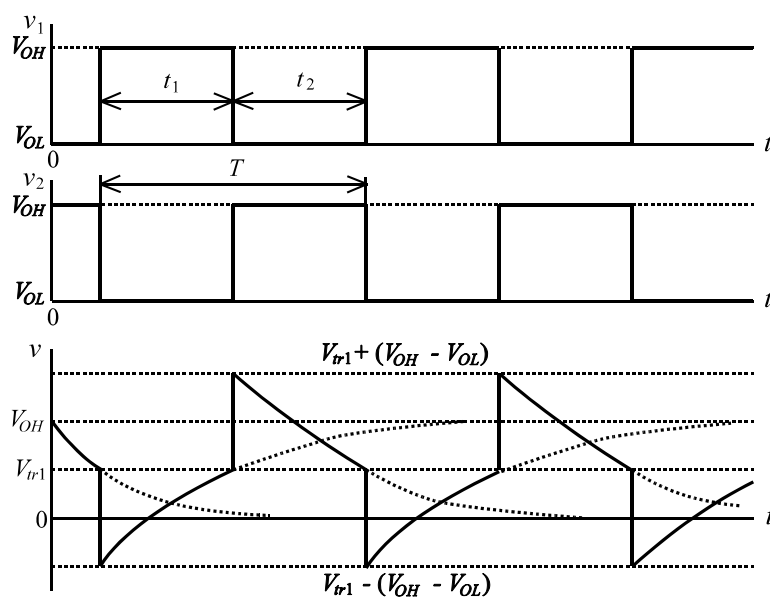


Fig.4.90 Tensiunile generate de astabilul din fig.4.89

Cât timp tensiunile v_1 și v_2 se mențin constante, v tinde să devină egală cu v_1 . Datorită condensatorului C , tranzițiile tensiunii v_2 se transmit integral în tensiunea v . În plaja de variație $-0,7V \dots (V_{DD} + 0,7V)$ a tensiunii v , curentul de încărcare-descărcare al condensatorului este generat de inversorul 1 și absorbit de inversorul 2, și invers. Când v depășește această gamă, o parte din curentul care trece prin condensator este deviat la masă sau la $+V_{DD}$ printr-una dintre diodele de protecție de la intrarea inversorului 1; acest curent se poate neglija dacă $R^* \gg R$. Variațiile în timp ale tensiunii v sunt descrise de relațiile 4.36 (creșterea) și 4.37 (descreșterea); momentele de referință sunt cele în care se produc salturile negative și respectiv pozitive.

$$v(t) = V_{OH} + [V_{tr1} - (2V_{OH} - V_{OL})] \cdot e^{-t/RC} \quad (4.36)$$

$$v(t) = V_{OL} + [V_{tr1} + (V_{OH} - 2V_{OL})] \cdot e^{-t/RC} \quad (4.37)$$

Duratele t_1 și t_2 se calculează impunând condițiile $v(t_1) = V_{tr1}$ și $v(t_2) = V_{tr1}$ în relațiile 4.36 și respectiv 4.37.

$$t_1 = RC \ln \frac{2V_{OH} - V_{OL} - V_{tr1}}{V_{OH} - V_{tr1}} \quad (4.38)$$

$$t_2 = RC \ln \frac{V_{tr1} + V_{OH} - 2V_{OL}}{V_{tr1} - V_{OL}} \quad (4.39)$$

Perioada $T = t_1 + t_2$ și factorii de umplere $\eta_1 = t_1/T$, $\eta_2 = t_2/T$ ale tensiunilor v_1 și v_2 sunt dependente de tensiunea de comutare V_{tr1} .

Modificările în schema astabilului cu inversoare CMOS ilustrate în fig.4.91 permit blocarea funcționării printr-o comandă logică și reglarea independentă a duratelor t_1 și t_2 .

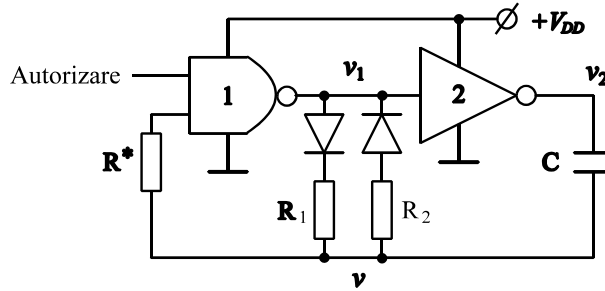


Figura 4.91

De obicei, oscilatoarele se construiesc cu circuite logice speciale numite *triggere Schmitt*. Simbolul grafic și caracteristica ideală de transfer în tensiune ale unui trigger Schmitt inversor sunt desenate în fig.4.92.

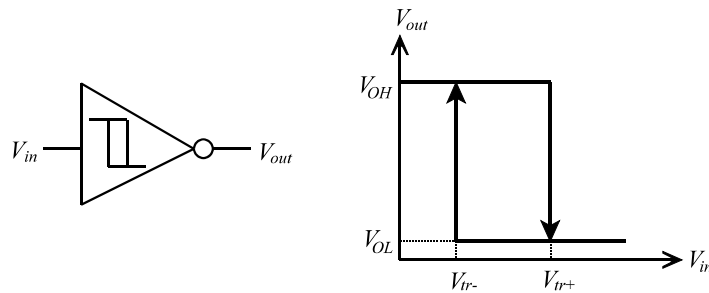


Fig.4.92 Trigger Schmitt inversor

Circuitul are două tensiuni de comutare, V_{tr+} și V_{tr-} , corespunzătoare creșterii și respectiv descreșterii tensiunii de intrare V_{in} ; diferența $V_{tr+} - V_{tr-}$ este numită tensiune de *histerezis*.

Schema tipică de oscilator cu trigger Schmitt este reprezentată în fig.4.93. Tensiunea de intrare tinde să devină egală cu cea de ieșire. Dacă curentul de

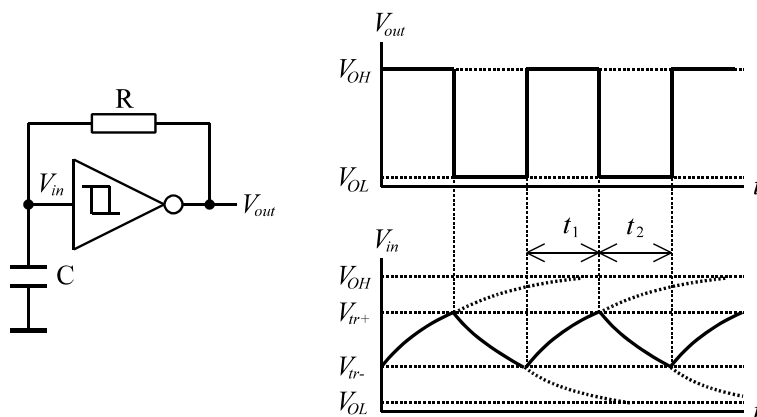


Fig.4.93 Oscilator cu trigger Schmitt

intrare al triggerului este neglijabil față de curentul de încărcare-descărcare al condensatorului, atunci tensiunea V_{in} crește și scade în conformitate cu relațiile 4.40 și respectiv 4.41.

$$V_{in}(t) = V_{OH} + (V_{tr-} - V_{OH}) \cdot e^{-t/RC} \quad (4.40)$$

$$V_{in}(t) = V_{OL} + (V_{tr+} - V_{OL}) \cdot e^{-t/RC} \quad (4.41)$$

Duratele t_1 și t_2 se calculează cu relațiile:

$$t_1 = RC \ln \frac{V_{OH} - V_{tr-}}{V_{OH} - V_{tr+}} \quad (4.42)$$

$$t_2 = RC \ln \frac{V_{tr+} - V_{OL}}{V_{tr-} - V_{OL}} \quad (4.43)$$

Structura de bază utilizată la construirea triggerelor Schmitt cu tranzistoare bipolare este reprezentată în fig.4.94. Dacă tensiunea de intrare are o valoare mică, apropiată de 0V, atunci tranzistorul Q_1 se blochează iar Q_2 se

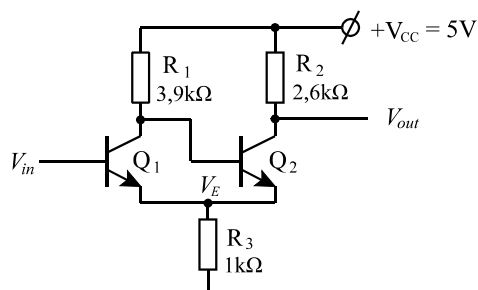


Fig.4.94 Trigger Schmitt neinversor cu tranzistoare bipolare

saturează; tensiunile de emitor și de ieșire au valorile:

$$V_E = \frac{1}{\frac{1}{R_1} + \frac{1}{R_2} + \frac{1}{R_3}} \left(\frac{V_{CC} - V_{BE2(sat)}}{R_1} + \frac{V_{CC} - V_{CE2(sat)}}{R_2} \right) \cong 1,8V; \quad (4.44)$$

$$V_{out} = V_{OL} = V_{CE(sat)} + V_E = 1,9V.$$

Tensiunea de comutare V_{tr+} este cea mai mică tensiune de intrare care determină intrarea în conducție a tranzistorului Q_1 și blocarea lui Q_2 :

$$V_{tr+} = V_E + V_{BE1(on)} = 2,5V.$$

Pentru tensiuni de intrare mai mari decât acest prag se obține $V_{out} = V_{OH} = 5V$. Cât timp Q_1 se află în conducție iar Q_2 este blocat,

$$V_E = V_{in} - V_{BE1(on)} \text{ sau } V_E = V_{in} - V_{BE1(sat)} \text{ și } V_{CE1} < V_{BE2(on)}.$$

Prin micșorarea tensiunii de intrare se mărește V_{CE1} ; această tensiune atinge valoarea $V_{BE2(on)}$ când $V_{in} = V_{tr-}$, fapt ce determină saturarea tranzistorului Q_2 și blocarea lui Q_1 :

$$V_{CE1} = V_{CC} - (R_1 + R_3) \cdot \frac{V_{tr-} - V_{BE1(on)}}{R_1} = V_{BE2(on)}. \quad (4.45)$$

Rezultă

$$V_{tr-} = V_{BE1(on)} + \frac{R_1}{R_1 + R_3} (V_{CC} - V_{BE2(on)}) \cong 1,6V. \quad (4.46)$$

Inversorul TTL reprezentat în fig.4.95 este un trigger Schmitt care are pragurile (tensiunile de comutare) $V_{tr+} = 1,4V$ și $V_{tr-} = 1,1V$.

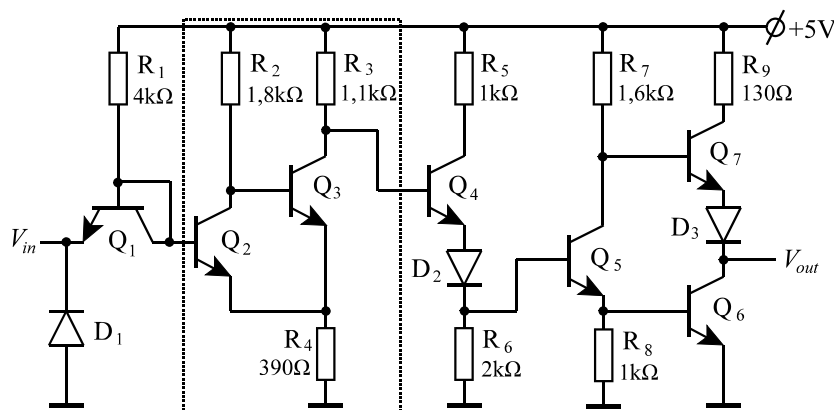


Fig.4.95 Inversor TTL de tip trigger Schmitt

Dacă în schema de mai sus se înlocuiește Q_1 cu un tranzistor multiemitor, se obține o poartă NAND de tip trigger Schmitt.

Schema de bază a triggerului Schmitt cu tranzistoare MOS este desenată în fig.4.96. Calculul tensiunilor de tranziție se va face în ipotezele următoare:

- toate tranzistoarele au aceeași tensiune de prag (în modul), $V_{Tn} = *V_{Tp}^* = V_{DD}/3$ și aceeași lungime a canalului L ;
- $W_2 = W_3 = 4W_1$, $W_4 = W_5 = 4W_6$ și $W_6 = 3,5W_1$.

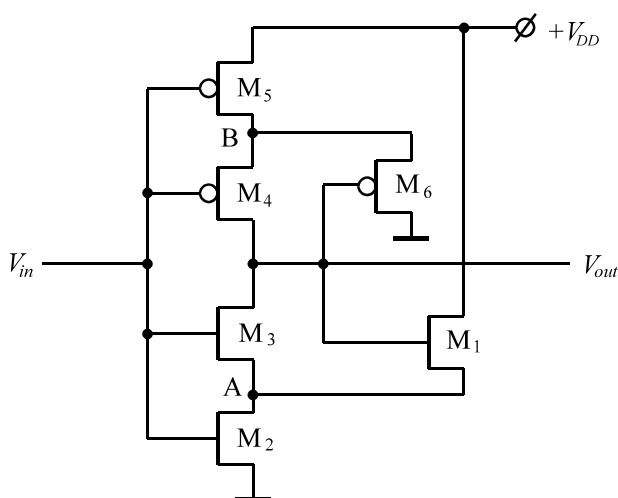


Fig.4.96 Trigger Schmitt inversor CMOS

Dacă $V_{in} < V_{DD}/3$ atunci tranzistoarele M_2 și M_3 sunt blocate iar nodul de ieșire este conectat la $+V_{DD}$ prin M_4 și M_5 aflate în conducție, astfel că $V_{out} = V_{OH} = V_{DD}$. Tranzistorul M_6 este blocat iar M_1 este polarizat în regiunea de saturație a curentului de drenă deoarece $V_{DS1} = V_{GS1} > V_{GS1} - V_{T1}$; curentul prin M_1 este nul însă nodul A se încarcă cu tensiunea

$$V_A = V_{out} - V_{T1} = 2V_{DD}/3.$$

Când V_{in} crește peste valoarea $V_{DD}/3$ tranzistorul M_2 intră în conducție, având ca sarcină activă pe M_1 , iar tensiunea în nodul A scade; M_2 funcționează în regiunea de saturație a curentului de drenă cât timp

$$V_A \geq V_{in} - V_{DD}/3. \quad (4.47)$$

Din egalitatea $I_{D2} = I_{D1}$ se obține

$$4(V_{in} - V_{T2})^2 = (V_{out} - V_A - V_{T1})^2 \text{ și } V_A = 4V_{DD}/3 - 2V_{in}. \quad (4.48)$$

Relația 4.48 este valabilă până când tensiunea de intrare, în creștere, atinge valoarea $5V_{DD}/9$ (acest rezultat se obține înlocuind valoarea tensiunii V_A ,

calculată cu relația 4.48, în condiția 4.47); în acel moment tensiunea în nodul A este egală cu $2V_{DD}/9$ iar tranzistorul M_3 se află la limita intrării în conducție. Depășirea ușoară a pragului $5V_{DD}/9$ de către V_{in} determină intrarea în conducție a tranzistorului M_3 și scăderea tensiunii de ieșire; M_6 intră în conducție și îl blochează pe M_4 . Se obține $V_{out} = V_{OL} = 0V$, nodul de ieșire fiind conectat la masă prin M_3 - M_2 .

Observații:

1) În absența tranzistoarelor M_1 și M_6 circuitul este un inversor cu o caracteristică statică de transfer în tensiune simetrică. O tensiune de intrare egală cu $V_{DD}/2$ determină o tensiune de ieșire egală cu $V_{DD}/2$.

2) Înainte ca M_3 să intre în conducție, tensiunea de ieșire are valoarea V_{DD} iar $V_{DS3} = V_{out} - V_A = 7V_{DD}/9$. Când tensiunea de intrare trece cu puțin peste pragul $5V_{DD}/9$ ($> V_{DD}/2$), tensiunea de ieșire scade brusc sub valoarea $V_{DD}/2$ deoarece M_3 comută din blocare în regiunea de saturație a curentului de drenă și apoi, după blocarea tranzistorului M_4 , intră în regiunea liniară de funcționare.

După ce V_{in} depășește valoarea $2V_{DD}/3$ tranzistorul M_5 se blochează iar prin M_6 , polarizat în regiunea de saturație, tensiunea nodului B se fixează la valoarea

$$V_B = V_{out} + *V_{T6}^* = V_{DD}/3.$$

Micșorarea tensiunii de intrare sub valoarea $2V_{DD}/3$ determină funcționarea tranzistoarelor M_5 , M_6 în regiunea de saturație iar tensiunea în nodul B crește. Din egalitatea $I_{D5} = I_{D6}$ se obține

$$4(V_{DD} - V_{in} - *V_{T5}^*)^2 = (V_B - V_{out} - *V_{T6}^*)^2 \quad \vee \quad V_B = 5V_{DD}/3 - 2V_{in}. \quad (4.49)$$

Ecuția 4.49 este valabilă cât timp $V_B \neq V_{in} + V_{DD}/3$, adică până ce tensiunea de intrare, în scădere, atinge valoarea $4V_{DD}/9$; în acel moment tensiunea în nodul B devine $7V_{DD}/9$ iar tranzistorul M_4 se află la limita intrării în conducție. Depășirea pragului $4V_{DD}/9$ de către V_{in} determină conducția în saturație a tranzistorului M_4 , creșterea bruscă a tensiunii de ieșire peste valoarea $V_{DD}/2$, blocarea lui M_6 , intrarea în conducție a tranzistorului M_1 și blocarea lui M_3 . Nodul de ieșire se conectează la V_{DD} prin M_4 - M_5 .

Tensiunile de tranziție ale circuitului sunt $V_{tr+} = 5V_{DD}/9$ și $V_{tr-} = 4V_{DD}/9$ iar tensiunea de histerezis are valoarea $V_{DD}/9$.

Tensiunile de tranziție ale circuitului din fig.4.96 depind de tensiunile de prag și de dimensiunile tranzistoarelor.

Dacă $V_{Tn} = *V_{Tp}^* = V_T$ și $W_2 = W_3 = 4W_1$, $W_4 = W_5 = 4W_6$, $W_6 = 3,5W_1$ atunci se obțin pragurile

$$V_{tr+} = (V_{DD} + 2V_T)/3 \quad \text{și} \quad V_{tr-} = (2V_{DD} - 2V_T)/3. \quad (4.50)$$

Condiția de funcționare a circuitului din fig.4.96 în regim de trigger Schmitt este $V_{tr+} > V_{tr-}$, adică $V_T > V_{DD}/4$. În fig.4.97 sunt desenate caracteristicile statice

de transfer în tensiune corespunzătoare următoarelor cazuri: $V_T = V_{DD}/5$, $V_T = V_{DD}/4$ și $V_T = V_{DD}/3$. Valorile tensiunilor (V_{tr+} , V_{tr-}) calculate cu relațiile 4.50 sunt $(7V_{DD}/15, 8V_{DD}/15)$, $(V_{DD}/2, V_{DD}/2)$ și respectiv $(5V_{DD}/9, 4V_{DD}/9)$. În primul caz V_{tr+} și V_{tr-} nu sunt tensiuni de tranziție (praguri) ci puncte de frângere în caracteristica de transfer în tensiune.

Consumul de putere în regim static este nul, indiferent de valoarea tensiunii de prag V_T ; puterea consumată în regim dinamic scade dacă $V_T \leq V_{DD}/4$.

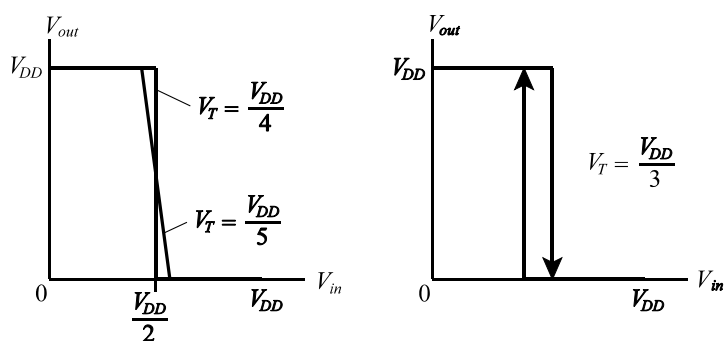


Figura 4.97

Dacă $V_{Tn} = *V_{Tp}^* = V_T$ și $W_2 = W_3 = W_1$, $W_4 = W_5 = W_6$, $W_6 = 3,5W_1$ atunci se obțin pragurile

$$V_{tr+} = (V_{DD} + V_T)/2 \text{ și } V_{tr-} = (V_{DD} - V_T)/2. \quad (4.51)$$

În acest caz circuitul funcționează ca trigger pentru orice valoare a tensiunii de prag V_T (evident, mai mică decât V_{DD}).

Structura de bază a triggerului Schmitt CMOS se completează de obicei cu un etaj de ieșire, compus din buffere (inversoare), după cum se arată în fig.4.98. Tranzistoarele inversorului 2 au dimensiuni minime; acest inversor accelerează tranzițiile tensiunii de la ieșirea triggerului de bază.

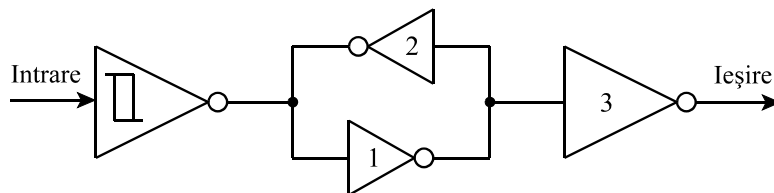


Figura 4.98

Dimensiunile tranzistoarelor din schema desenată în fig.4.96 au o influență mai mare asupra tensiunilor V_{tr-} și V_{tr+} decât cea pe care o au tensiunile

de prag V_{Tn} și V_{Tp} . Acest lucru constituie un avantaj din punct de vedere practic, deoarece modificarea tensiunilor de prag ale unor tranzistoare dintr-un circuit CMOS complică procesul tehnologic.

Un simplu inversor CMOS (fig.4.49) cu sarcină capacitivă poate fi utilizat ca trigger Schmitt. Pentru aceasta trebuie îndeplinită condiția

$$V_{Tn} + *V_{Tp}* > V_{DD}. \quad (4.52)$$

Pragurile triggerului au valorile $V_{tr+} = V_{Tn}$ și $V_{tr-} = V_{DD} - *V_{Tp}*$. Când tensiunea de intrare a inversorului are o valoare cuprinsă în intervalul (V_{tr-}, V_{tr+}) , ambele tranzistoare se blochează; nivelul logic la ieșire este păstrat de capacitatea de sarcină a inversorului, la fel ca în funcționarea circuitelor dinamice.

Triggerrele Schmitt pot fi utilizate ca celule de “memorie”. Cât timp tensiunea de intrare se menține între pragurile V_{tr-} și V_{tr+} , tensiunea de ieșire nu se modifică; în cazul unui trigger neinversor nivelul logic la ieșire este H sau L după cum ultima revenire a tensiunii de intrare în gama (V_{tr-}, V_{tr+}) s-a făcut prin descreștere, respectiv prin creștere. “Controlul” informației, adică *înscrierea*, *ștergerea* și *memorarea* se realizează cu ajutorul tensiunii de intrare după cum se arată în diagrama din fig.4.99.

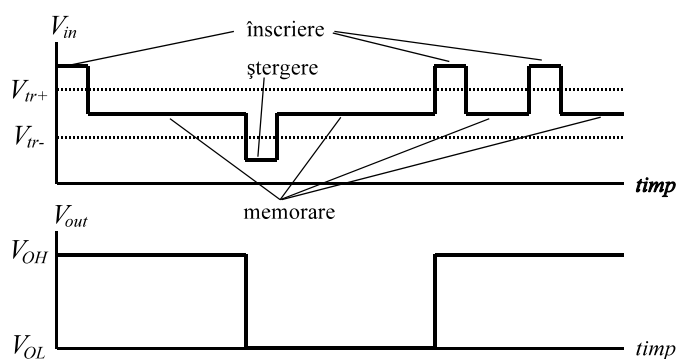


Fig.4.99 Utilizarea triggerului Schmitt ca celulă de memorie

4.6 Probleme rezolvate

1. Să se implementeze cu circuite I²L standard funcțiile logice combinatoriale $f(a, b, c) = a\bar{c} + bc$ (MUX de două căi) și $g(a, b, c) = a r b r c$.
R e z o l v a r e:

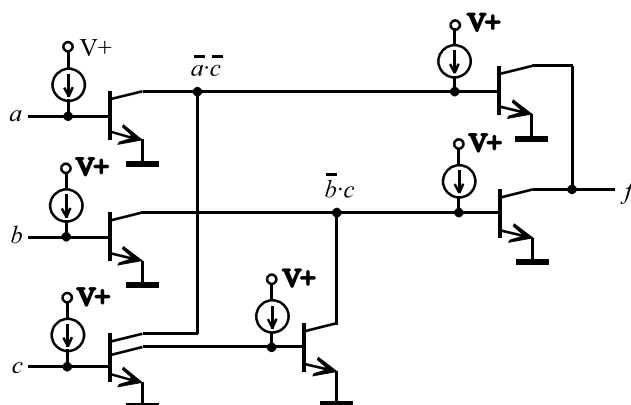
Funcțiile logice elementare realizate de circuitele I²L sunt NOT și WAND; expresiile logice prin care sunt definite funcțiile f și g trebuie rescrise utilizând numai aceste două operații. În general, implementarea expresiilor logice de forma “produs de sume” cu costuri minime este cea mai avantajoasă atât din

punct de vedere al ariei ocupate cât și al vitezei de operare.

Expresia logică “sumă de produse” cu cost minim, corespunzătoare funcției f este

$$f = (a + c)(b + \bar{c}) = \bar{a}\bar{c} \cdot \bar{b}\bar{c}.$$

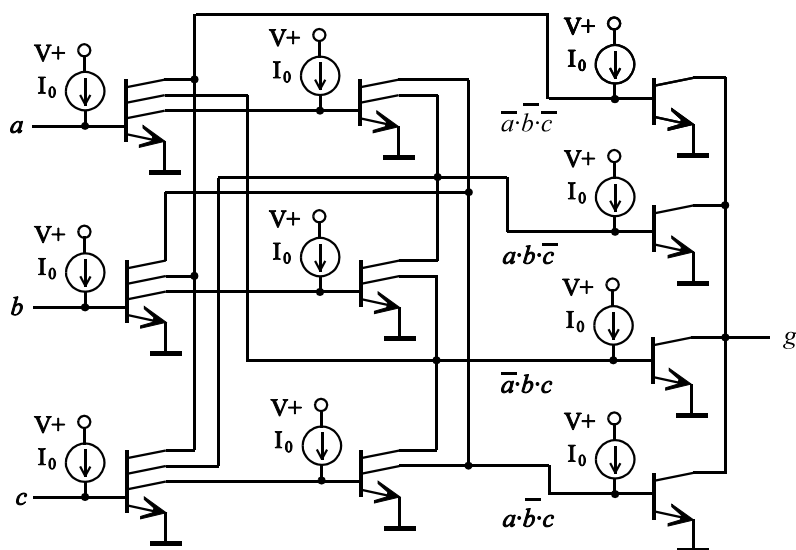
Circuitul I²L care implementează funcția f este reprezentat în figura următoare.



Expresia logică “sumă de produse” cu cost minim, corespunzătoare funcției g este

$$g = (\bar{a} + \bar{b} + c)(\bar{a} + b + \bar{c})(a + \bar{b} + \bar{c})(a + b + c) = \bar{a}\bar{b}\bar{c} \cdot \bar{a}b\bar{c} \cdot \bar{a}b\bar{c} \cdot \bar{a}b\bar{c}.$$

Circuitul I²L care implementează funcția g este reprezentat în figura de mai jos.



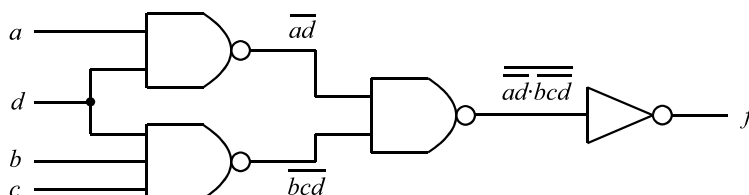
2. a) Să se determine circuitul CMOS standard, alcătuit dintr-un număr minim de tranzistoare, care să realizeze funcția logică $f = \overline{ad} \cdot \overline{bcd}$.

b) Să se dimensioneze tranzistoarele circuitului astfel încât $t_{pLH\max} = t_{pHL\max}$.

c) Să se calculeze tensiunea de comutare (tranziție) a circuitului când la intrările a, d se mențin constante valorile logice L, respectiv H iar intrările b și c se modifică simultan din L în H.

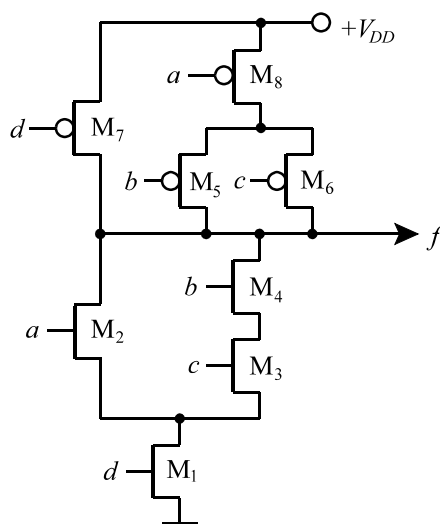
R e z o l v a r e:

a) Implementarea directă a expresiei prin care s-a definit funcția f nu este economică; schema la nivel de poartă logică a acestui circuit este desenată în figura următoare.



Fiecare poartă logică cu i intrări conține $2i$ tranzistoare iar întregul circuit conține 16 tranzistoare. Timpul de propagare T_p cumulează întârzierile prin trei nivele de porți elementare.

Reprezentarea cea mai convenabilă a funcției este $f = \overline{(a + bc)d}$. Acestei expresii logice îi corespunde structura CMOS standard următoare.



Numărul minim de tranzistoare este 8; timpul de propagare al circuitului este

comparabil cu timpul de propagare al unei porți NAND3 deoarece în ambele structuri există ramuri de descărcare a capacității de sarcină formate din trei tranzistoare conectate în serie.

b) Se consideră că toate tranzistoarele au aceeași lungime L a canalului. Lățimile $W_j, j = 2 \div 8$, se aleg în raport cu lățimea W_1 a tranzistorului M_1 . Descărcarea nodului de ieșire se poate face în trei moduri și anume, prin M_1 - M_2 sau prin M_1 - M_3 - M_4 sau prin M_1 - $[M_2^{**}(M_3-M_4)]$. Dacă se alege $W_2 = W_1$ atunci grupul M_1 - M_2 este echivalent cu un tranzistor care are dimensiunile W_1 și $2L$. Impunând acest lucru și grupului M_1 - M_3 - M_4 rezultă $W_3 = W_4 = 2W_1$ (grupul de tranzistoare M_3 - M_4 este echivalent cu tranzistorul M_2). În cazul cel mai defavorabil, rezistența efectivă de descărcare a capacității de sarcină are valoarea $R_{n(max)} = 2R_1$, R_1 fiind rezistența efectivă drenă-sursă a tranzistorului M_1 .

Încărcarea nodului de ieșire se poate face în șase moduri și anume, prin M_7 sau prin M_5 - M_8 sau prin M_6 - M_8 sau prin $M_7^{**}(M_5-M_8)$ sau prin $M_7^{**}(M_6-M_8)$ sau prin $M_7^{**}[M_8-(M_5^{**}M_8)]$; situația cea mai defavorabilă apare când încărcarea capacității de sarcină se face prin M_5 - M_8 sau prin M_6 - M_8 . Este convenabil să se impună $W_5 = W_6 = W_8$; grupurile serie M_5 - M_8 și M_6 - M_8 sunt echivalente fiecare cu un tranzistor care are dimensiunile W_8 și $2L$. Lățimea optimă a tranzistorului M_7 este $W_7 = W_8/2$. Procedând astfel, rezistența efectivă maximă de încărcare a capacității de sarcină are valoarea $R_{p(max)} = 2R_8$, R_8 fiind rezistența efectivă drenă-sursă a tranzistorului M_8 .

Condiția $t_{pLH max} = t_{pHL max}$ este echivalentă cu $R_{p(max)} = R_{n(max)}$, de unde rezultă $R_1 = R_8$ adică $W_8 = 3,5W_1$.

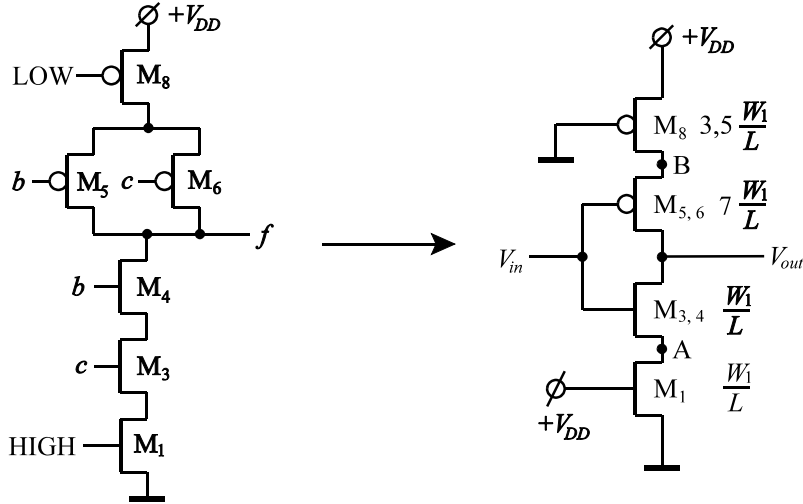
S-au obținut dimensiunile $W_2 = W_1$, $W_3 = W_4 = 2W_1$, $W_5 = W_6 = W_8 = 3,5W_1$ și $W_7 = 1,75W_1$.

c) În condițiile precizate de enunțul problemei, tranzistoarele M_2 și M_7 sunt blocate. Calculul tensiunii de tranziție a circuitului se poate face utilizând schemele simplificate din figura următoare; se consideră că toate tranzistoarele au aceeași tensiune de prag, adică $V_{Tn} = *V_{Tp}^* = V_T < V_{DD}/2$.

Dacă tensiunea de intrare V_{in} are valori mai mici decât V_T atunci tensiunile din nodurile A și B, determinate de M_1 și respectiv M_8 polarizate “la maxim” în conducție, sunt $V_A = 0V$ și $V_B = V_{DD}$ deoarece tranzistorul echivalent $M_{3,4}$ este blocat iar $M_{5,6}$ este polarizat în conducție (regiunea liniară) și conectează ieșirea circuitului la $+V_{DD}$.

Dacă tensiunea de intrare V_{in} are valori mai mari decât $V_{DD} - V_T$ atunci tensiunile din nodurile A și B, determinate de M_1 și respectiv M_8 polarizate “la maxim” în conducție, sunt $V_A = 0V$ și $V_B = V_{DD}$ deoarece tranzistorul echivalent $M_{5,6}$ este blocat iar $M_{3,4}$ este polarizat în conducție (regiunea liniară) și conectează ieșirea circuitului la masă.

Când V_{in} crește de la valoarea V_T la $(V_{DD} - V_T)$, toate tranzistoarele (reprezentate în schemele simplificate) se află în conducție și $I_{D8} = I_{D5,6} = I_{D3,4} = I_{D1}$; în



această gamă de variație a tensiunii de intrare se află tensiunea de tranziție V_{tr} , definită de relația $V_{in} = V_{out}$.

Observație: Prin reducerea lățimii tranzistorului $M_{5,6}$ din schema de mai sus la jumătate se obține un circuit cu caracteristică statică de transfer în tensiune simetrică, la care $V_{tr} = V_{DD}/2$. În cazul de față $V_{tr} > V_{DD}/2$.

Dacă $V_{in} = V_{tr}$ atunci tranzistoarele $M_{3,4}$ și $M_{5,6}$ funcționează în regiunea de saturație a curentului de drenă deoarece $V_{GS(3,4)} = V_{DS(3,4)}$ și $V_{SG(5,6)} = V_{SD(5,6)}$; tranzistorul M_1 , având aceleași dimensiuni ca $M_{3,4}$ și fiind polarizat cu tensiunea $V_{GS1} = V_{DD} > V_{GS(3,4)}$, funcționează în regiunea liniară a curentului de drenă. De asemenea, și tranzistorul M_8 funcționează în regiunea liniară a curentului de drenă deoarece $V_{SD8} = V_{DD} - V_B < V_{DD} - V_{out} < V_{DD}/2 < V_{SG8} = V_{DD}$. Din condiția de egalitate a curenților $I_{D8} = I_{D5,6} = I_{D3,4} = I_{D1}$ rezultă sistemul de ecuații

$$\begin{aligned} 2(V_{DD} - V_T)(V_{DD} - V_B) - (V_{DD} - V_B)^2 &= 2(V_B - V_{tr} - V_T)^2 = \\ &= (V_{tr} - V_A - V_T)^2 = 2(V_{DD} - V_T)V_A - V_A^2 \end{aligned}$$

în care tensiunile V_A, V_B și V_{tr} sunt necunoscutele. Din ecuația

$$2(V_{DD} - V_T)(V_{DD} - V_B) - (V_{DD} - V_B)^2 = 2(V_{DD} - V_T)V_A - V_A^2$$

rezultă $V_{DD} - V_B = V_A$ iar sistemul de ecuații de mai sus este echivalent cu

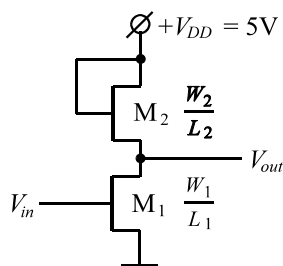
$$2(V_{DD} - V_A - V_{tr} - V_T)^2 = (V_{tr} - V_A - V_T)^2 = 2(V_{DD} - V_T)V_A - V_A^2.$$

Fără a pierde din generalitate, se va rezolva acest sistem de ecuații considerând că $V_{DD} = 5V$ și $V_T = 0,7V$. Se obține

$$2(4,3 - V_A - V_{tr})^2 = (V_{tr} - V_A - 0,7)^2 = 8,6V_A - V_A^2,$$

cu soluția $V_{tr} = 2,75\text{V}$; $V_A = 17\text{V} - 6V_{tr} = 0,5\text{V}$; $V_B = 5\text{V} - V_A = 4,5\text{V}$.

3. a) Să se dimensioneze tranzistorul M_1 din structura inversorului din figura următoare, în raport cu M_2 , astfel încât să se obțină $V_{OL} = 0,05V_{DD}$. Tensiunea de prag a celor două tranzistoare este $V_T = 0,7\text{V}$.



b) Să se determine caracteristica statică de transfer în tensiune a inversorului și tensiunea de comutare.

R e z o l v a r e:

a) Când $V_{in} = H (-V_{DD})$ și $V_{out} = L = 0,05V_{DD}$, tranzistorul M_1 funcționează în regiunea liniară a curentului de drenă; M_2 funcționează permanent în regiunea de saturație deoarece $V_{DS2} = V_{GS2} > V_{GS2} - V_T$. În regim static de funcționare curenții I_{D1} și I_{D2} sunt egali:

$$(W_1/L_1) \cdot [2(V_{in} - V_T)V_{out} - V_{out}^2] = (W_2/L_2) \cdot (V_{DD} - V_{out} - V_T)^2.$$

Înlocuind în această relație $V_{in} = V_{DD} = 5\text{V}$ și $V_{out} = 0,05V_{DD} = 0,25\text{V}$ se obține condiția

$$W_1/L_1 - 8W_2/L_2.$$

Dacă $L_1 = L_2$ atunci $W_1 = 8W_2$.

b) Pentru tensiuni de intrare mai mici decât V_T tranzistorul M_1 este blocat iar la ieșirea inversorului se obține tensiunea $V_{out} = V_{DD} - V_T = 4,3\text{V} = V_{OH}$.

Depășirea pragului V_T de către tensiunea V_{in} determină intrarea în conducție a tranzistorului M_1 și micșorarea tensiunii de ieșire. Cât timp $V_{out} > V_{in} - V_T$, M_1 funcționează în regiunea de saturație a curentului de drenă iar caracteristica de transfer în tensiune este descrisă de ecuația

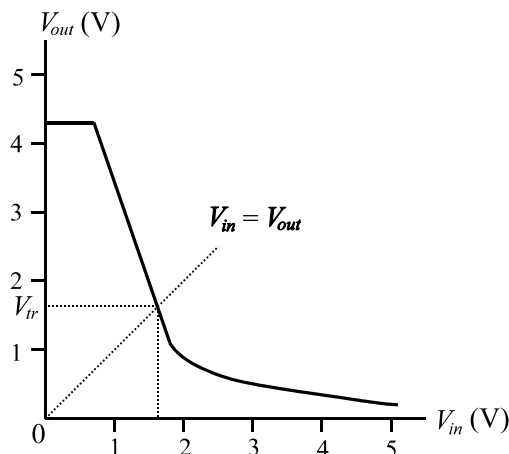
$$8(V_{in} - V_T)^2 = (V_{DD} - V_{out} - V_T)^2 \vee V_{out} = -2,82V_{in} + 6,27.$$

Această dependență dintre V_{out} și V_{in} este valabilă numai pentru tensiuni de intrare cuprinse în intervalul $(0,7\text{V}; 1,82\text{V})$. Tensiunea de comutare a inversorului aparține acestui interval; impunând condiția $V_{out} = V_{in}$ în ecuația de mai sus rezultă $V_{tr} = 1,64\text{V}$.

Dacă V_{in} crește peste valoarea $1,82\text{V}$ atunci tranzistorul M_1 funcționează în regiunea liniară iar caracteristica de transfer este descrisă de ecuația

$$16(V_{in} - V_T)V_{out} - 8V_{out}^2 = (V_{DD} - V_{out} - V_T)^2 \quad Y \quad V_{in} - 0,56V_{out} + 1,15/V_{out} + 0,16.$$

Caracteristica statică de transfer în tensiune este desenată în figura de mai jos.



4. Să se implementeze cu circuite CMOS statice, utilizând topologia DCVSL, funcția logică $f(a, b, c, d)$ definită prin tabela de adevăr următoare.

$\begin{smallmatrix} cd \\ ab \end{smallmatrix}$	00	01	11	10
00	1	0	0	1
01	0	1	0	0
11	0	1	1	1
10	1	0	0	1

Rezolvare:

Grupând zerourile funcției, se obține expresia “produs de sume” cu cost minim

$$f = (b + \bar{d})(\bar{b} + c + d)(a + \bar{b} + \bar{c}),$$

care se poate rescrie în forma

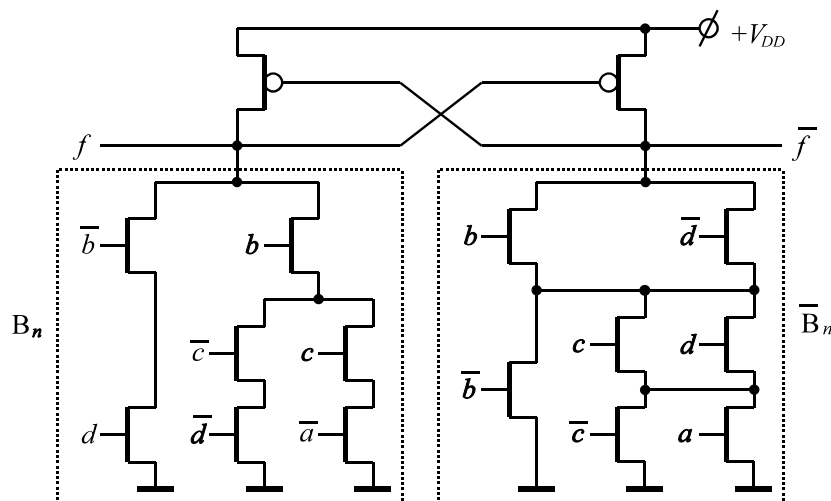
$$f = \overline{bd} + \overline{bc\bar{d}} + \overline{abc} = \overline{bd} + b(\bar{c}\bar{d} + \bar{ac}).$$

Structura unui circuit care implementează funcția f și funcția complementară

$$\bar{f} = (b + \bar{d})(\bar{b} + c + d)(a + \bar{b} + \bar{c}) = (b + \bar{d})[\bar{b} + (c + d)(a + \bar{c})]$$

este reprezentată în figura următoare. Rețelele de tranzistoare B_n și $\bar{B}_n$ sunt complementare din punct de vedere funcțional dar și din punct de vedere structural; rețeaua $\bar{B}_n$ se deduce din B_n cu ajutorul dualismului serie-paralel și

invers. Circuitul conține 14 tranzistoare n MOS.



Blocurile B_n și $\bar{B}_n$ din figura de mai sus nu conțin părți identice care să poată fi utilizate în comun. În general, există mai multe posibilități de transformare echivalentă a rețelei de tranzistoare $\bar{B}_n$ astfel încât aceasta să conțină grupuri de tranzistoare conectate și comandate la fel ca în rețeaua B_n . În urma unor astfel de transformări blocurile B_n și $\bar{B}_n$ rămân complementare din punct de vedere funcțional dar nu și structural; dualismul serie-paralel nu se mai aplică. “Forțarea” părților identice între B_n și $\bar{B}_n$ are ca scop reducerea numărului de tranzistoare utilizate pentru implementarea perechii de funcții $(f, \bar{f})$, adică reducerea consumului de arie.

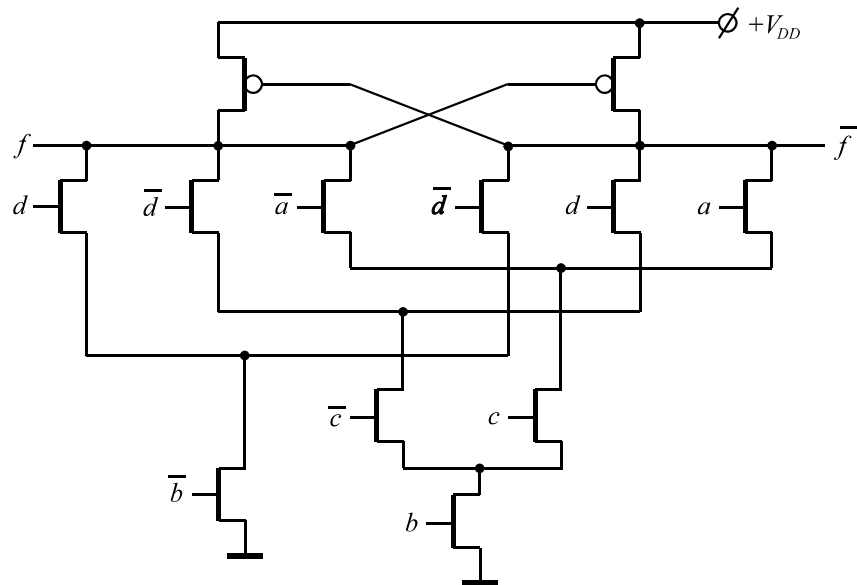
În acest sens, o expresie logică mai avantajoasă pentru funcția $\bar{f}$ se obține prin gruparea zerourile din tabela de adevăr complementară, reprezentată mai jos:

$\begin{array}{c c} cd \\ \hline ab \end{array}$	00	01	11	10
00	0	1	1	0
01	1	0	1	1
11	1	0	0	0
10	0	1	1	0

$$\bar{f} = (b + d)(\bar{b} + c + \bar{d})(\bar{a} + \bar{b} + \bar{c}) = \bar{b}\bar{d} + b(\bar{c}\bar{d} + \bar{a}c).$$

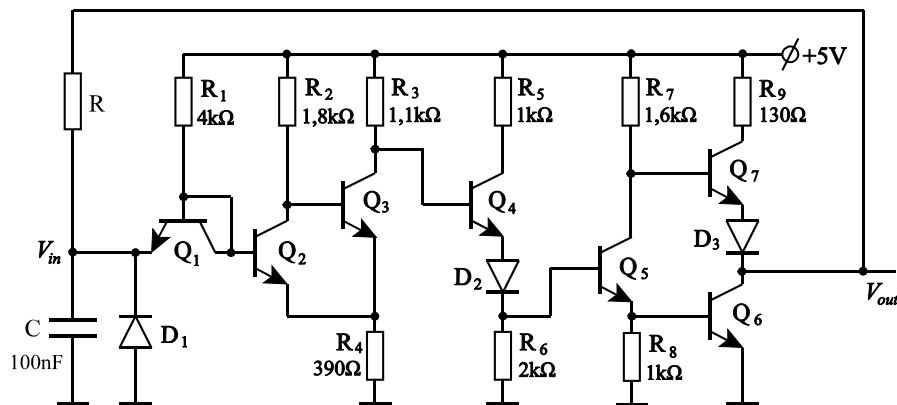
Această expresie se aseamănă cu $f = \bar{b}d + b(\bar{c}\bar{d} + \bar{a}c)$; pot fi utilizate în comun

de către blocurile B_n și $\bar{B}_n$ 4 tranzistoare n MOS, după cum se arată în figura următoare, iar circuitul conține numai 10 tranzistoare n MOS.



5. a) Să se determine valoarea maximă a rezistenței R astfel încât circuitul din figura de mai jos să “oscileze”. Pragurile triggerului Schmitt inversor TTL sunt $V_{tr+} = 1,4V$ și $V_{tr-} = 1,1V$.

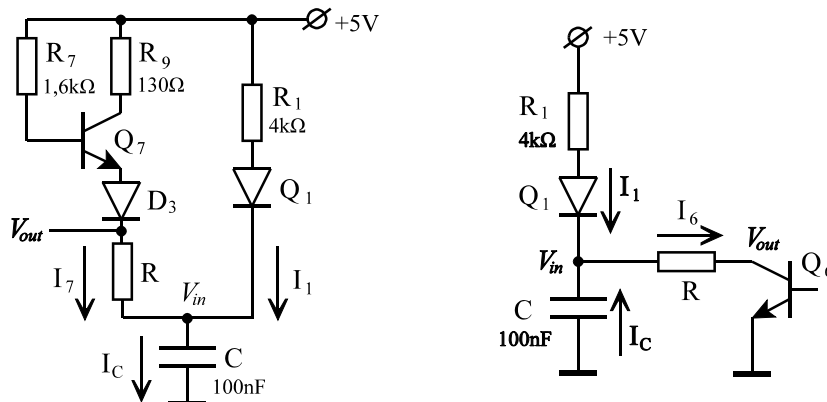
b) Să se calculeze perioada tensiunii V_{out} dacă $R = 390\Omega$.



Rezolvare:

a) Această schemă este una tipică de oscilator cu trigger Schmitt (vezi fig.4.93). În regim normal de funcționare tensiunea de intrare V_{in} crește până la

1,4V și scade până la 1,1V. Schemele simplificate de încărcare și de descărcare a condensatorului C sunt desenate în figura următoare.



Curentul de intrare al porții TTL se calculează cu relația

$$I_1 = (V_{CC} - V_{BE(on)} - V_{in})/R_1 = (4,3V - V_{in})/4k\Omega.$$

Condensatorul C se descarcă numai dacă curentul I_6 , absorbit de tranzistorul Q_6 saturat prin rezistorul R, este mai mare decât curentul I_1 :

$$(V_{in} - V_{CE6(sat)})/R > (V_{CC} - V_{BE(on)} - V_{in})/R_1 \quad \text{Y} \quad R < \frac{V_{in} - 0,1}{4,3 - V_{in}} R_1.$$

În această relație tensiunea de intrare V_{in} are valori în intervalul [1,1V; 1,4V]. Situația cea mai defavorabilă descărcării condensatorului C apare când $V_{in} = 1,1V$; înlocuind această valoare în condiția de mai sus se obține $R_{max} < 952\Omega$.

b) Când condensatorul C se încarcă, tranzistorul Q_7 funcționează în saturație. Dacă Q_7 ar opera în regim activ normal atunci

$$I_7 - (V_{CC} - V_{BE7(on)} - V_{D3(on)} - V_{in})/R = (3,6V - V_{in})/R,$$

$$V_{BC7} - R_9 I_7 = (3,6V - V_{in}) \cdot R_9 / R > 0,73V \quad \text{Y} \quad \text{saturație.}$$

Condensatorul se încarcă de la valoarea inițială 1,1V către valoarea finală 4,3V prin $R_1^{**}(R_9 + R) = 460\Omega$ (s-a neglijat tensiunea $V_{CE7(sat)}$ și curentul de bază al tranzistorului Q_7), cu constanta de timp $\tau = 460\Omega \cdot 100nF = 46\mu s$:

$$V_{in}(t) = 4,3 + (1,1 - 4,3)e^{-t/\tau} = 4,3 - 3,2e^{-t/\tau}.$$

Încărcarea durează până când V_{in} atinge pragul $V_{tr+} = 1,4V$:

$$V_{in}(t_1) = 1,4V \quad \text{Y} \quad t_1 = \tau \ln(3,2/2,9) = 4,5\mu s.$$

În intervalul de timp t_1 tensiunea de ieșire crește ușor, de la valoarea inițială

3,5V la valoarea 3,575V; aceste valori rezultă din relația

$$V_{out} = V_{in} + \frac{R}{R + R_9} (4,3 - V_{in}).$$

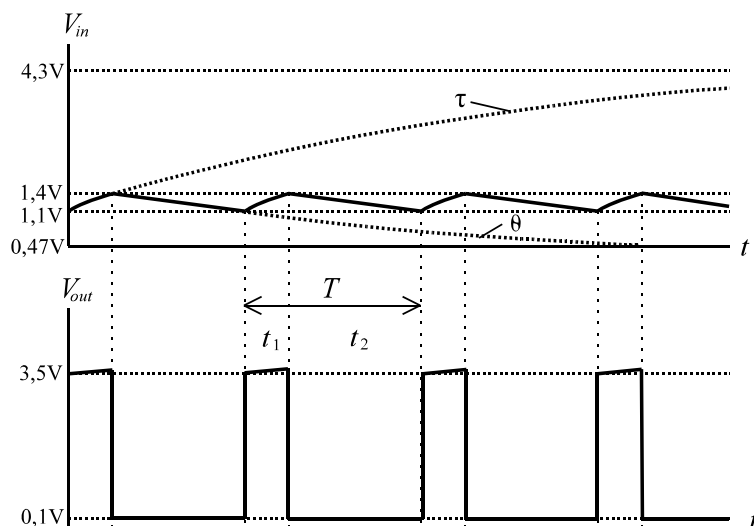
Descărcarea condensatorului C se face de la valoarea inițială 1,4V către valoarea finală $V_{CE6(sat)} + 4,2 \cdot R / (R + R_1) - 0,47V$ prin $R^{**}R_1 = 355\Omega$, cu constanta de timp $\theta = 355\Omega \cdot 100nF = 35,5\mu s$:

$$V_{in}(t) = 0,47 + (1,4 - 0,47)e^{-t/\theta} = 0,47 + 0,93e^{-t/\theta}.$$

Descărcarea durează până când V_{in} atinge pragul $V_{tr-} = 1,1V$:

$$V_{in}(t_2) = 1,1V \Rightarrow t_2 = \theta \ln(0,93/0,63) = 13,8\mu s.$$

Tensiunile V_{in} și V_{out} au perioade egale cu $T = t_1 + t_2 = 18,3\mu s$. Variațiile în timp ale acestora sunt reprezentate în figura următoare.

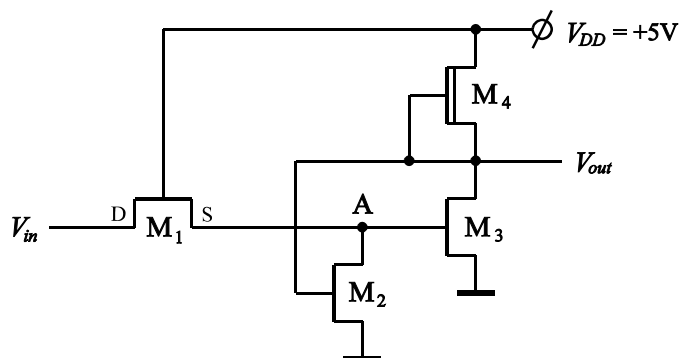


6. Circuitul din figura următoare este un trigger Schmitt NMOS. Parametrii tranzistoarelor sunt $W_1 = W_2 = W_4 = W$, $W_3 = 10W$, $V_{T1} = V_{T2} = V_{T3} = +1V$, $V_{T4} = -2V$; toate tranzistoarele au aceeași lungime a canalului $L = W$ și transconductanța K . Să se calculeze pragurile triggerului și să se deseneze caracteristica statică de transfer în tensiune.

R e z o l v a r e:

Tranzistorul M_4 se află în conducție pentru orice valoare a tensiunii de intrare deoarece $V_{GS4} = 0V > -2V$.

Dacă $V_{in} = 0V$, nodul A este conectat la masă prin M_1 și M_2 polarizate în conducție; tranzistorul M_3 este blocat iar nodul de ieșire se conectează prin M_4



la V_{DD} ($V_{out} = V_{OH} = 5V$). Creșterea tensiunii de intrare determină creșterea tensiunii V_A ; tensiunea V_{in} este “divizată” de tranzistoarele M_1 și M_2 .

Când tensiunea de intrare, în creștere, atinge pragul V_{tr+} atunci $V_A = 1V$ și tranzistorul M_3 se află la limita intrării în conducție. În acest moment tranzistorul M_2 funcționează în regiunea liniară deoarece $V_{DS2} = 1V < V_{GS2} - V_{T2} = 4V$. Presupunând că și M_1 funcționează în regiunea liniară, din egalitatea curentilor $I_{D1} = I_{D2}$ se obține:

$$(V_{DD} - V_A - V_{T1})(V_{in} - V_A) - (V_{in} - V_A)^2/2 = (V_{out} - V_{T2})V_A - V_A^2/2; V_{out} = 5V;$$

$$6(V_{in} - 1) - (V_{in} - 1)^2 = 7;$$

$$V_{in}^2 - 8V_{in} + 14 = 0 \quad \vee \quad V_{in} = 2,58V \quad \vee \quad V_{tr+} = 2,58V.$$

Ipoteza că M_1 funcționează în regiunea liniară este adevărată:

$$V_{DS1} = 1,58V < V_{GS1} - V_{T1} = 3V.$$

Depășirea ușoară a pragului V_{tr+} de către tensiunea de intrare determină scăderea bruscă a tensiunii de ieșire datorită reacției pozitive dintre M_2 și M_3 . Intrarea în conducție a tranzistorului M_3 determină o reducere a tensiunii V_{out} care, fiind tensiune de comandă pentru tranzistorul M_2 , determină o creștere a rezistenței drenă-sursă₂ și implicit o creștere a tensiunii din nodul A; prin aceasta se accentuează conducția tranzistorului M_3 și reducerea curentului prin M_2 ș.a.m.d., până când M_2 se blochează iar V_A devine egală cu V_{in} . Cu $V_A = V_{in} - 2,58V$, tranzistoarele M_3 și M_4 funcționează în regiunea liniară și respectiv în regiunea de saturație a curentului de drenă (această ipoteză se poate verifica după determinarea tensiunii de ieșire). Din egalitatea $I_{D3} = I_{D4}$ rezultă:

$$10(V_A - V_{T3})V_{out} - 5V_{out}^2 = (V_{GS4} - V_{T4})^2/2;$$

$$5V_{out}^2 - 15,8V_{out} + 2 = 0 \quad \vee \quad V_{out} = 0,13V.$$

Tensiunea de intrare cu valoare cuprinsă între 2,58V și 4V se transmite integral nodului A; dacă V_{in} crește peste 4V, tensiunea V_A rămâne “blocată” la 4V iar

tensiunea de ieșire este soluția ecuației:

$$10(V_A - V_{T3})V_{out} - 5V_{out}^2 = (V_{GS4} - V_{T4})^2/2;$$

$$5V_{out}^2 - 30V_{out} + 2 = 0 \text{ } \forall \text{ } V_{out} = V_{OL} = 0,06V.$$

Micșorând tensiunea de intrare de la 5V la 4V, nivelul $V_{out} = V_{OL} = 0,06V$ se păstrează. Dacă V_{in} coboară sub 4V atunci se micșorează curentul prin M_3 (deoarece $V_A = V_{in}$) și crește tensiunea de la ieșirea circuitului.

Tensiunea de la ieșirea triggerului are valoarea 0,66V când V_{in} ajunge la 2,58V. Când V_{out} atinge valoarea 1V, tranzistorul M_2 se află la limita intrării în conducție. Presupunând că în acest moment M_3 funcționează în saturație, din egalitatea $I_{D3} = I_{D4}$ rezultă:

$$5(V_A - V_{T3})^2 = (V_{GS4} - V_{T4})^2/2 \text{ } \forall \text{ } V_A = 1,63V \text{ } \forall \text{ } V_{tr-} = 1,63V.$$

Ipooteza că M_3 funcționează în regiunea de saturație este adevărată:

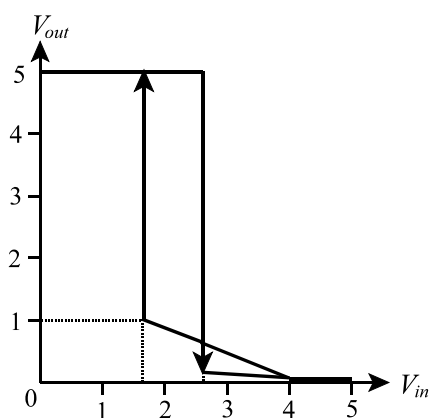
$$V_{DS3} = 1V > V_{GS3} - V_{T3} = 0,63V.$$

Dacă tensiunea de intrare scade ușor sub valoarea V_{tr-} atunci tensiunea de ieșire crește brusc la 5V deoarece M_2 intră în conducție și reduce tensiunea V_A , curentul prin M_3 se micșorează, tensiunea de ieșire crește, curentul prin M_2 crește ș.a.m.d., până când V_A scade sub 1V iar tranzistorul M_3 se blochează. Valoarea la care ajunge tensiunea V_A datorită acestei reacții pozitive se determină din ecuația următoare, în care $V_{in} = 1,63V$ și $V_{out} = 5V$:

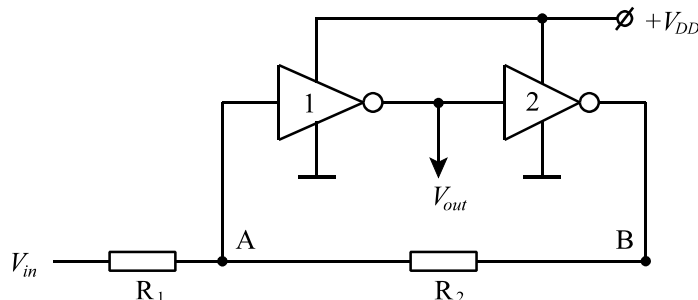
$$(V_{DD} - V_A - V_{T1})(V_{in} - V_A) - (V_{in} - V_A)^2/2 = (V_{out} - V_{T2})V_A - V_A^2/2;$$

$$V_A^2 - 8V_A + 5,2 = 0 \text{ } \forall \text{ } V_A = 0,71V.$$

S-a considerat că tranzistoarele M_1 și M_2 funcționează în regiunea liniară, ceea ce se verifică prin rezultatul obținut. Caracteristica statică de transfer în tensiune a circuitului este reprezentată în figura de mai jos.



7. Inversoarele din circuitul reprezentat în figura următoare sunt CMOS. Să se determine caracteristica statică de transfer în tensiune $V_{out}(V_{in})$.



R e z o l v a r e:

Tensiunea din nodul A depinde de tensiunea de intrare V_{in} și de tensiunea din nodul B, în conformitate cu relația:

$$V_A = \frac{R_2}{R_1 + R_2} V_{in} + \frac{R_1}{R_1 + R_2} V_B.$$

Dacă $R_1 + R_2$ are valori suficient de mari atunci, pentru orice valoare a tensiunii de intrare, tensiunea V_B are fie nivelul LOW – 0V fie nivelul HIGH – V_{DD} . Aplicând la intrarea circuitului o tensiune suficient de mică (eventual negativă), în nodurile A și B se obțin tensiunile $V_A < V_{tr1}$ și $V_B = 0$ iar $V_{out} = V_{DD}$; V_{tr1} este tensiunea de comutare sau de tranziție a inversorului 1. În această situație

$$V_A = \frac{R_2}{R_1 + R_2} V_{in}.$$

Când tensiunea de intrare, în creștere, atinge nivelul V_{tr+} atunci tensiunea V_A ajunge la valoarea V_{tr1} :

$$V_{tr+} = \left(1 + \frac{R_1}{R_2}\right) \cdot V_{tr1}.$$

Depășirea ușoară a pragului de tensiune V_{tr+} de la intrarea circuitului, determină schimbarea nivelelor logice la ieșirile celor două inversoare ($V_{out} = 0$ și $V_B = V_{DD}$) și o creștere bruscă a tensiunii din nodul A de la V_{tr1} la valoarea:

$$V_A = V_{tr1} + \frac{R_1}{R_1 + R_2} V_{DD}.$$

Creșterea în continuare a tensiunii V_{in} până la valoarea V_{DD} nu afectează nivelele logice existente la ieșirile inversoarelor.

Când tensiunea de intrare, în scădere, atinge nivelul V_{tr-} atunci tensiunea V_A ajunge din nou la valoarea V_{tr1} :

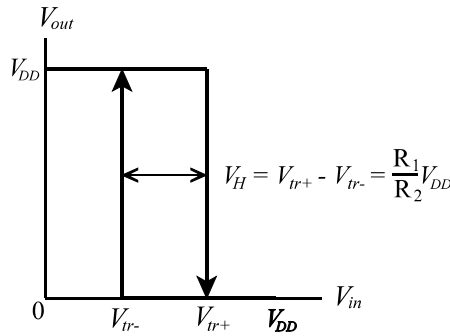
$$V_{tr1} = \frac{R_2}{R_1 + R_2} V_{tr-} + \frac{R_1}{R_1 + R_2} V_{DD} \quad \text{și} \quad V_{tr-} = V_{tr+} - \frac{R_1}{R_2} V_{DD}.$$

Depășirea ușoară a pragului V_{tr-} de către V_{in} determină $V_{out} = V_{DD}$, $V_B = 0$ și scăderea bruscă a tensiunii din nodul A de la V_{tr1} la valoarea:

$$V_A = V_{tr1} - \frac{R_1}{R_1 + R_2} V_{DD}.$$

Scăderea în continuare a tensiunii V_{in} până la valoarea 0 nu afectează nivelele logice existente la ieșirile inversoarelor.

Caracteristica de transfer în tensiune a acestui trigger Schmitt este desenată în figura de mai jos.



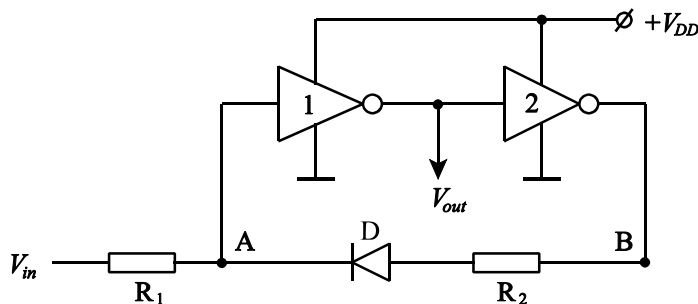
Tensiunea de histerezis V_H nu depinde de parametrii inversoarelor, ceea ce constituie un avantaj. Pragurile V_{tr-} și V_{tr+} depind însă de tensiunea de comutare a inversorului 1.

Dacă $V_{tr1} < \frac{R_1}{R_1 + R_2} V_{DD}$, atunci tensiunea de prag V_{tr-} are o valoare negativă.

Dacă $V_{tr1} = V_{DD}/2$ și $R_2 = 2R_1$, atunci caracteristica de transfer în tensiune este simetrică: $V_{tr+} = 3V_{DD}/4$, $V_{tr-} = V_{DD}/4$ și $V_H = V_{DD}/2$.

Schema din enunțul problemei poate fi modificată pentru a obține și alte relații de control asupra tensiunilor de prag decât cele determinate mai sus. Un exemplu este prezentat în figura următoare; pentru simplitatea calculului se consideră că dioda D este ideală ($V_{D(on)} = 0V$).

La creșterea tensiunii de intrare de la 0 către $+V_{DD}$, dioda este blocată până când V_{in} atinge pragul $V_{tr+} = V_{tr1}$; depășirea ușoară a acestei valori determină tranziția LYH în nodul B, intrarea în conducție a diodei și creșterea bruscă a tensiunii

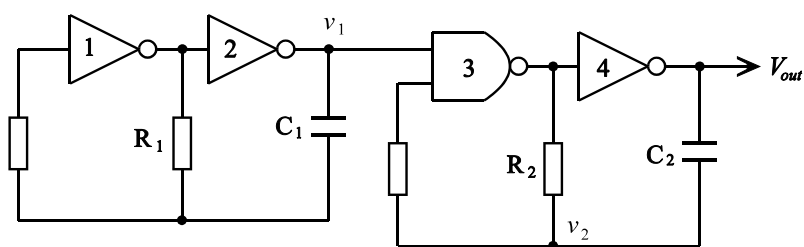


V_A . La scăderea tensiunii de intrare de la V_{DD} către 0, dioda D se află în conducție până când V_{in} atinge pragul

$$V_{tr-} = V_{tr1} - \frac{R_1}{R_2} V_{DD}.$$

Depășirea ușoară a acestui prag determină tranziția HYL în nodul B, blocarea diodei și scăderea bruscă a tensiunii V_A .

8. Să se reprezinte grafic variația în timp a tensiunii V_{out} generate de circuitul din figura următoare, considerând că $R_1 C_1 = 5 R_2 C_2 \gg t_p$ (timpul de propagare al unei porți). Toate porțile logice sunt CMOS și au aceeași tensiune de comutare $V_{tr} = V_{DD}/2$; se aproximează nivelele logice L și H de la ieșirile porților cu 0 și respectiv cu V_{DD} . Rezistențele de limitare a curenților prin diodele de protecție de la intrările inversorului 1 și a porții NAND2 sunt mult mai mari decât R_1 și respectiv R_2 .



R e z o l v a r e:

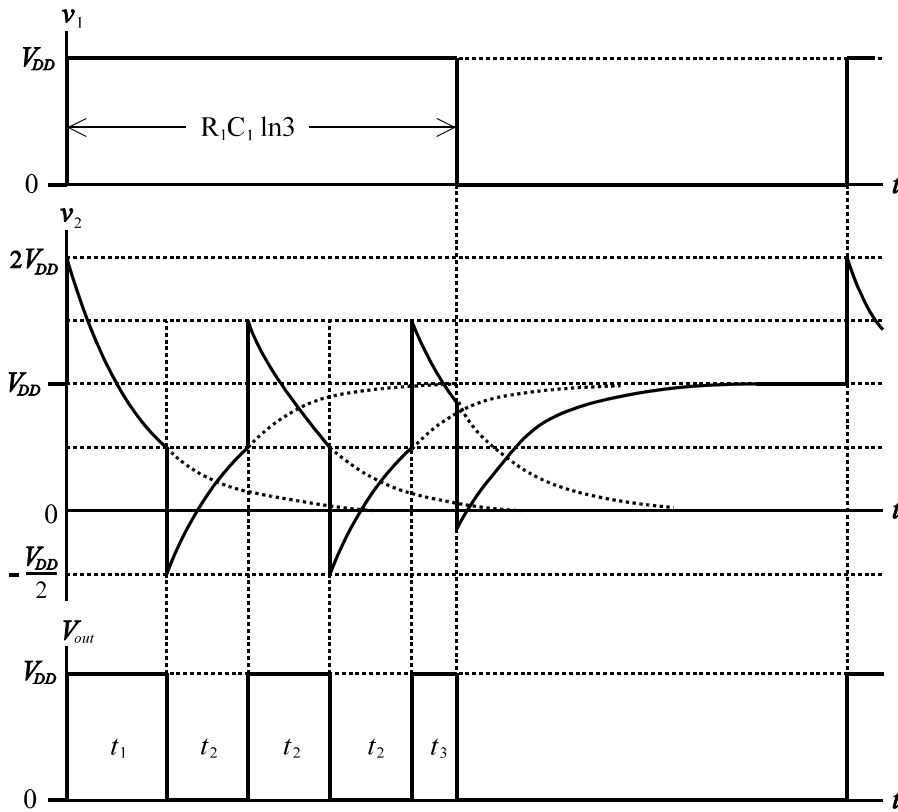
Circuitul este format din două astabile. Tensiunea periodică v_1 generată de astabilul compus din inversoarele 1 și 2 reprezintă comanda de autorizare pentru astabilul realizat cu porțile 3 și 4. Factorul de umplere și perioada tensiunii dreptunghiulare v_1 , calculate cu ajutorul relațiilor 4.38-4.39, sunt $\eta_1 = 1/2$ și respectiv $T_1 = 2R_1 C_1 \ln 3$. Autorizarea și blocarea astabilului care generează tensiunea V_{out} se realizează alternativ, pe intervale de timp egale cu

$R_1 C_1 \ln 3$. Cât timp $v_1 = L$, se obține $V_{out} = L$. Imediat după ce are loc tranziția HYL a tensiunii V_{out} , cauzată de tranziția HYL a tensiunii v_1 (vezi fig.4.90), este posibil ca v_2 să ajungă la valoarea minimă $-V_{DD}/2$. Durata $R_1 C_1 \ln 3$ în care v_1 se menține la nivelul L este suficient de mare pentru ca tensiunea v_2 să crească de la valoarea $-V_{DD}/2$ până la $+V_{DD}$:

$$v_2(t) = V_{DD} - 1,5V_{DD} \cdot e^{-t/\theta}, \theta = R_2 C_2;$$

$$v_2(R_1 C_1 \ln 3) = V_{DD} - 1,5V_{DD} \cdot e^{-5 \ln 3} = V_{DD} - 0,006 \cdot V_{DD} = V_{DD}.$$

Astfel, în momentul tranziției LYH a tensiunii v_1 , tensiunea v_2 are valoarea $+V_{DD}$. În continuare, pe un interval de timp egal cu $R_1 C_1 \ln 3$, tensiunile v_2 și V_{out} se modifică după cum se arată în figura de mai jos.



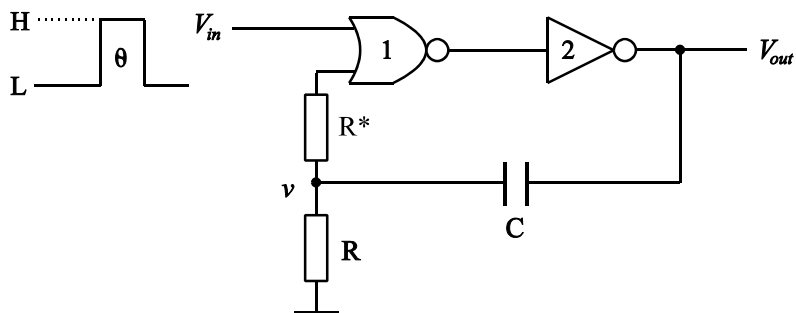
Variația în timp a tensiunii v_2 este descrisă, pe porțiuni, cu relații de forma

$$v_2(t) = V_{final} + (V_{initial} - V_{final}) \cdot e^{-t/\theta}, \theta = R_2 C_2.$$

De exemplu, pentru primul “segment” de exponențială $V_{\text{inițial}} = 2V_{DD}$ și $V_{\text{final}} = 0$; în momentul t_1 tensiunea v_2 atinge valoarea $V_{tr} = V_{DD}/2$ și se declanșează tranzițiile la ieșirile porților 3 și 4. Tranzițiile tensiunii de la ieșirea porții 4 se transmit integral prin condensatorul C_2 în tensiunea v_2 .

Duratele t_1 , t_2 și t_3 ale impulsurilor de tensiune generate la ieșirea circuitului au valorile $R_2C_2\ln 4$, $R_2C_2\ln 3$ și respectiv $R_2C_2\ln(4/3)$.

9. a) La intrarea circuitului reprezentat în figura următoare, denumit “monostabil”, se aplică un impuls de tensiune HIGH cu durata θ . Porțile 1 și 2 sunt CMOS, au timpul de propagare t_p și tensiunea de comutare $V_{tr} = V_{DD}/2$. Să se determine răspunsul V_{out} în funcție de θ ; se consideră că $RC \gg t_p$.



b) Să se determine răspunsul monostabilului la două impulsuri de comandă succesive, fiecare având durata θ ($0 < \theta < 0,7RC$). Al doilea impuls de comandă se aplică după un interval de timp τ față de sfârșitul primului impuls.

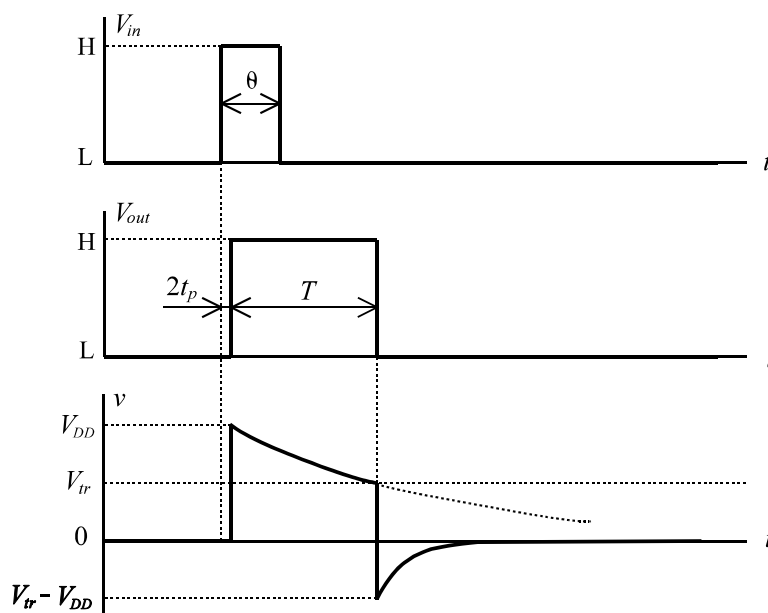
R e z o l v a r e:

a) Dacă tensiunea de intrare se menține la nivelul L oricât de mult timp, atunci și $V_{out} = L$; aceasta este starea “stabilă” a circuitului. Cu $V_{in} = L$, nivelul tensiunii de ieșire este H dacă și numai dacă $v > V_{tr}$; această stare este însă “instabilă” deoarece v tinde exponențial la 0. Circuitul trece din starea stabilă în starea instabilă dacă impulsul aplicat la intrare are energie suficientă, adică are o durată $\theta \geq 2t_p$.

În figura următoare sunt reprezentate variațiile în timp ale tensiunilor V_{out} și v declanșate de un impuls cu durata θ ($0 < \theta < 0,7RC$). Salturile tensiunii V_{out} se transmit prin condensatorul C în nodul v . Scăderea tensiunii v de la valoarea inițială V_{DD} către valoarea finală 0 este descrisă de relația

$$v(t) = V_{DD}e^{-t/RC}.$$

Revenirea circuitului înapoi în starea stabilă are loc atunci când v atinge valoarea V_{tr1} . Durata stării instabile nu depinde de durata impulsului de



comandă ci numai de raportul V_{tr}/V_{DD} și de componentele R , C ; în cazul particular $V_{tr1} = V_{DD}/2$ se obține $T = RC \ln 2 = 0,7RC$.

Dacă $\theta > 0,7RC$ atunci $T = \theta$; tensiunea v scade sub valoarea V_{tr1} în intervalul de timp θ iar când are loc tranziția HYL a tensiunii de ieșire, v depășește nivelul $V_{tr} - V_{DD}$. Cea mai mică valoare posibilă a tensiunii v este $-V_{DD}$.

Rezistorul R^* limitează curentul prin diodele circuitului de protecție de la intrarea porții 1; valoarea acestui curent nu trebuie să depășească 10 mA. Revenirea tensiunii v la 0 de la valorile negative se face exponențial, cu constanta de timp R^*C ; din acest punct de vedere este de dorit ca R^* să aibă o valoare cât mai mică.

b) Dacă $2\theta + \tau < 0,7RC$ atunci răspunsul monostabilului este identic cu cel reprezentat în figura de mai sus; altfel spus, al doilea impuls de comandă nu are nici un efect asupra impulsului generat la ieșirea circuitului.

Dacă $\theta + \tau < 0,7RC < 2\theta + \tau$ atunci se generează un singur impuls de ieșire, cu durata $T = 2\theta + \tau$.

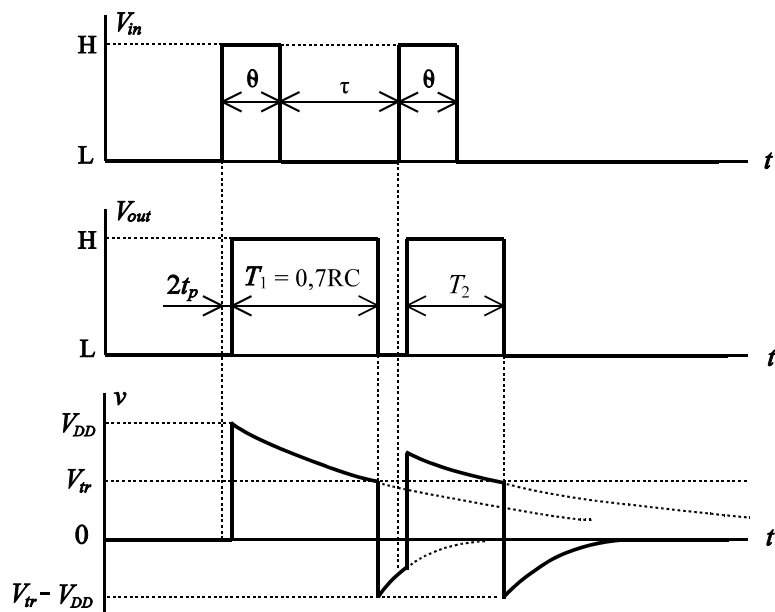
Dacă $\theta + \tau > 0,7RC$, adică cel de-al doilea impuls de comandă se aplică după ce monostabilul a revenit în starea stabilă, atunci răspunsul este format din două impulsuri. Sunt posibile două situații:

- intervalul de timp τ dintre impulsurile de comandă este suficient de mare astfel încât $v = 0$ în momentul aplicării celui de-al doilea impuls;

În acest caz monostabilul răspunde în mod identic la cele două comenzi, adică cu câte un impuls de durată $T = 0,7RC$.

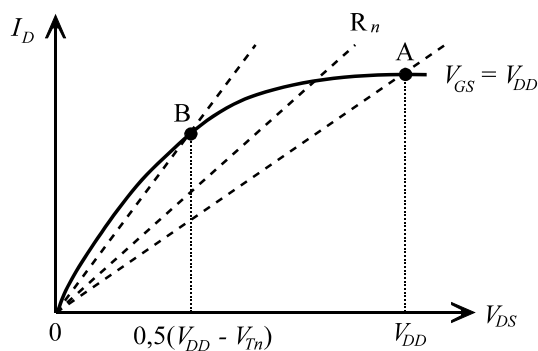
- al doilea impuls de comandă se aplică imediat după revenirea monostabilului în starea stabilă, când tensiunea v are o valoare negativă.

Această situație este reprezentată grafic în figura de mai jos. La primul impuls de comandă monostabilul generează un impuls cu durata $T_1 = 0,7RC$; al doilea impuls generat are o durată $T_2 < 0,7RC$ dependentă de τ , θ , R , R^* , C și de raportul V_{tr}/V_{DD} .



10. În figura următoare este reprezentată caracteristica $I_D(V_{DS})$ a unui tranzistor $nMOS$ cu canal indus, polarizat cu tensiunea maximă $V_{GS} = V_{DD}$. Rezistența efectivă drenă-sursă se aproximează cu relația “standard”

$$R_n = 0,5(V_A/I_A + V_B/I_B).$$



Punctele A și B de pe caracteristica $I_D(V_{DS})$ sunt situate în regiunea de saturație a curentului de drenă și respectiv la mijlocul regiunii liniare.

Să se determine rezistențele drenă-sursă R_n și R_p ale tranzistoarelor cu canal n și respectiv p , considerând $V_{DD} = +5V$; $W/L = 1,5$; $K_n' = 73\mu A/V^2$; $V_{Tn} = 0,7V$; $K_p' = 21\mu A/V^2$; $V_{Tp} = -0,8V$.

R e z o l v a r e:

Curenții I_A și I_B au expresiile următoare:

$$I_A = \frac{1}{2} K' \frac{W}{L} (V_{DD} - |V_T|)^2, \quad I_B = \frac{3}{8} K' \frac{W}{L} (V_{DD} - |V_T|)^2.$$

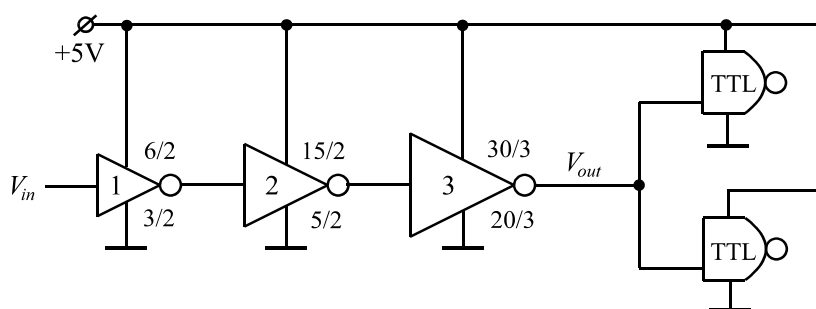
Formula de aproximare a rezistenței drenă-sursă devine:

$$R = \frac{1}{3K'(W/L)} \cdot \frac{5V_{DD} - 2|V_T|}{(V_{DD} - |V_T|)^2}.$$

Se obțin rezultatele $R_n = 5,8 \cdot L/W$ [kΩ] – 3,9kΩ și $R_p = 21 \cdot L/W$ [kΩ] – 14kΩ. Aceste rezistențe se măresc dacă se reduce tensiunea de alimentare; de exemplu, dacă $V_{DD} = +3,3V$ atunci $R_n = 10,2 \cdot L/W$ [kΩ] și $R_p = 37,8 \cdot L/W$ [kΩ].

11. Circuitul desenat în figura următoare, compus din 3 inversoare CMOS conectate în serie, are ca sarcină 2 intrări TTL-LS. Se consideră că:

- $WLg_{ox}/t_{ox} = 0,8fF$ (adică $0,8 \cdot 10^{-15}F$), unde W și L reprezintă dimensiunile minime ale unui tranzistor MOS;
- $K_n' = 73\mu A/V^2$; $V_{Tn} = 0,7V$; $K_p' = 21\mu A/V^2$; $V_{Tp} = -0,8V$;
- capacitatea unei intrări TTL-LS este de 5pF.

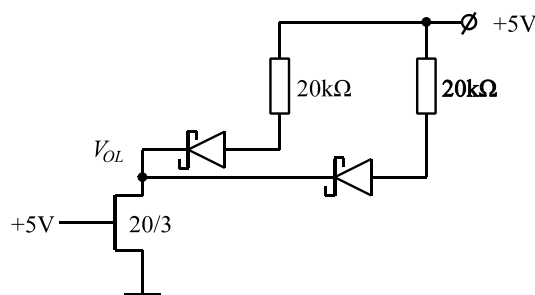


- Să se calculeze tensiunea V_{OL} de la ieșirea lanțului de inversoare. Dimensiunile celor 6 tranzistoare MOS sunt indicate în figură; de exemplu, 5/2 înseamnă o lățime egală cu $5W$ și o lungime egală cu $2L$.
- Utilizând modelul RC al inversorului CMOS (vezi fig.4.52), să se determine timpii de propagare t_{pLH} și t_{pHL} de la nodul V_{in} la nodul V_{out} .

c) Să se recalculeze t_{pLH} și t_{pHL} , considerând că inversorul 3 este comandat direct de către inversorul 1.

R e z o l v a r e:

a) Schema simplificată pentru calculul tensiunii V_{OL} , în regim de funcționare static, este desenată în figura de mai jos. Tranzistorul n MOS din inversorul 3 funcționează în regiunea liniară.



$$0,073 \cdot 20/3 \cdot (4,3V_{OL} - 0,5V_{OL}^2) = 2 \cdot (4,6 - V_{OL})/20;$$

$$V_{OL}^2 - 9V_{OL} + 1,89 = 0 \quad \vee \quad V_{OL} = 0,21V.$$

b) Rezistențele efective drenă-sursă ale tranzistoarelor celor 3 inversoare CMOS, calculate cu relațiile $R_n = 5,8 \cdot L/W$ [kΩ] și $R_p = 21 \cdot L/W$ [kΩ], au valorile:

$$R_{n1} = 3,86k\Omega, R_{n2} = 2,32k\Omega, R_{n3} = 0,87k\Omega,$$

$$R_{p1} = 7k\Omega, R_{p2} = 2,8k\Omega \text{ și } R_{p3} = 2,1k\Omega.$$

Sarcinile capacitive parazite cu care sunt încărcate inversoarele sunt:

$$C_1 = 62,4fF, C_2 = 212fF \text{ și } C_3 = 10,12pF.$$

Utilizând relațiile 4.23, se obțin următoarele valori pentru timpii de propagare:

$$t_{pLH1} = R_{p1}C_1 = 436,8ps, \quad t_{pHL1} = R_{n1}C_1 = 240,8ps,$$

$$t_{pLH2} = R_{p2}C_2 = 593,6ps, \quad t_{pHL2} = R_{n2}C_2 = 491,8ps,$$

$$t_{pLH3} = (R_{p3}^{**}10k\Omega)C_3 = 17,563ns, \quad t_{pHL3} = R_{n3}C_3 = 8,804ns,$$

$$t_{pLH} = t_{pLH1} + t_{pHL2} + t_{pLH3} = 18,5ns, \quad t_{pHL} = t_{pHL1} + t_{pLH2} + t_{pHL3} = 9,6ns,$$

$$t_p = 0,5 \cdot (t_{pLH} + t_{pHL}) = 14ns.$$

c) Sarcina capacitivă și timpii de propagare ai inversorului 1 sunt:

$$C_1^* = (18 + 1,5 \cdot 150) \cdot 0,8fF = 194,4fF,$$

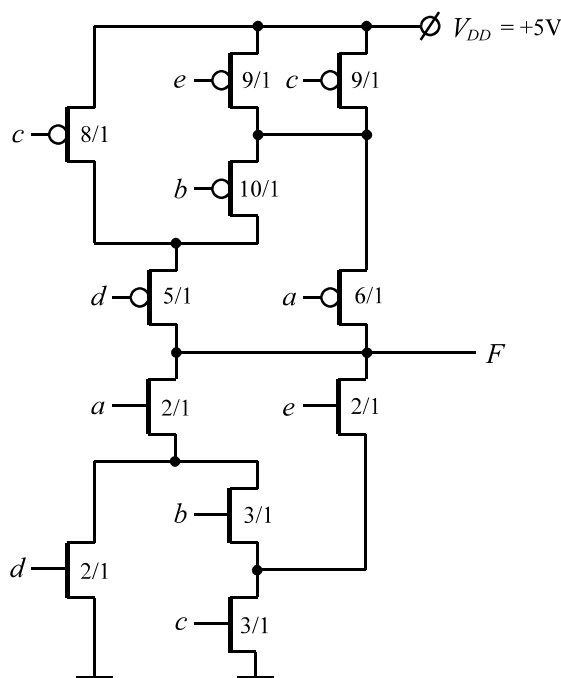
$$t_{pLH1} = R_{p1}C_1^* = 1,360ns, \quad t_{pHL1} = R_{n1}C_1^* = 0,75ns.$$

Rezultă $t_{pLH} = t_{pHL1} + t_{pLH3} = 18,3\text{ns}$, $t_{pHL} = t_{pLH1} + t_{pHL3} = 10,2\text{ns}$, $t_p = 14,25\text{ns}$. Prin eliminarea inversorului 2 s-a obținut o creștere nesemnificativă a timpului de propagare t_p , de la 14ns la 14,25ns.

4.7 Probleme propuse spre rezolvare

1. Să se implementeze sumatorul elementar de 1 bit: a) cu circuite I²L, b) cu circuite CMOS, utilizând topologia DCVSL.

2. a) Să se determine funcția logică $F(a, b, c, d, e)$ realizată de circuitul din figura următoare.



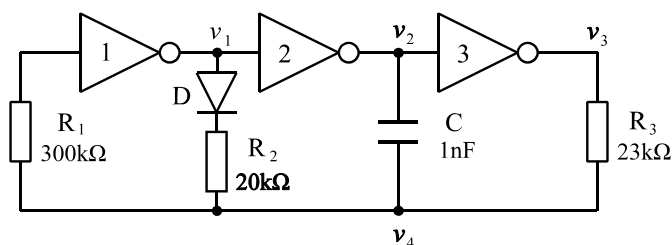
b) Să se calculeze tensiunea de comutare a circuitului când variabilele b și d se mențin constante, la nivelele logice H și respectiv L, iar variabilele ace se modifică din LLL în HHH.

c) Să se calculeze, utilizând modelul RC, timpii de propagare asociați cu tranzițiile $abcde = \text{LLLL} \rightarrow \text{HHHH} \rightarrow \text{LHLHHH}$.

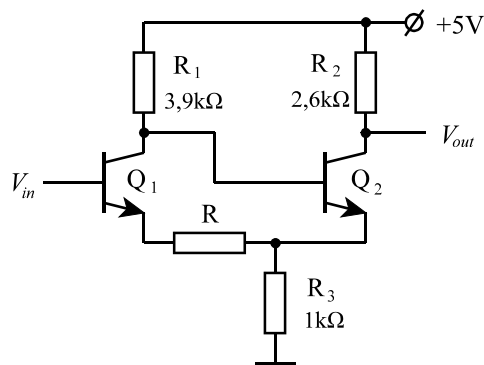
Se consideră $K_n' = 73\mu\text{A/V}^2$; $V_{Tn} = 0,7\text{V}$; $K_p' = 21\mu\text{A/V}^2$; $V_{Tp} = -0,8\text{V}$ și $WLg_{ox}/t_{ox} = 0,8\text{fF}$, unde W și L reprezintă dimensiunile minime ale unui tranzistor MOS.

3. Să se dimensioneze tranzistoarele super bufferului n MOS reprezentat în fig.4.83 și să se determine caracteristica statică de transfer în tensiune, considerând $K_n' = 73\mu\text{A}/\text{V}^2$; $V_{Tn} = 0,7\text{V}$; $K_p' = 21\mu\text{A}/\text{V}^2$; $V_{Tp} = -0,8\text{V}$; $V_{DD} = 5\text{V}$.

4. Circuitul din figura de mai jos este un astabil cu inversoare CMOS, alimentate cu $V_{DD} = +5\text{V}$. Să se determine perioada de oscilație și să se reprezinte grafic variațiile în timp ale tensiunilor v_1, v_2, v_3, v_4 , considerând $K_n' = 73\mu\text{A}/\text{V}^2$; $V_{Tn} = 0,7\text{V}$; $K_p' = 21\mu\text{A}/\text{V}^2$; $V_{Tp} = -0,8\text{V}$; $(W/L)_p = 4 \cdot (W/L)_n = 10$; $V_{D(on)} = 0,7\text{V}$.



5. a) Să se calculeze pragurile și tensiunea de histerezis ale triggerului Schmitt din figura următoare în funcție de rezistența R .

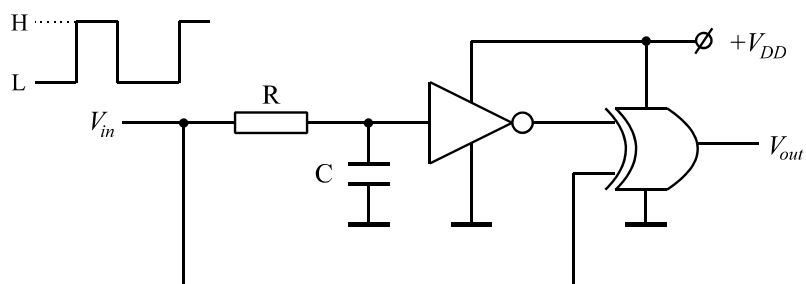


- b) Să se determine valoarea rezistenței R la care se anulează tensiunea de histerezis.
- c) Să se reprezinte grafic caracteristica de transfer $V_{out}(V_{in})$ pentru o valoare a rezistenței R mai mare decât cea determinată la punctul b.
- d) Să se repete punctele a, b, c considerând că R este conectat în emitorul tranzistorului Q_2 .

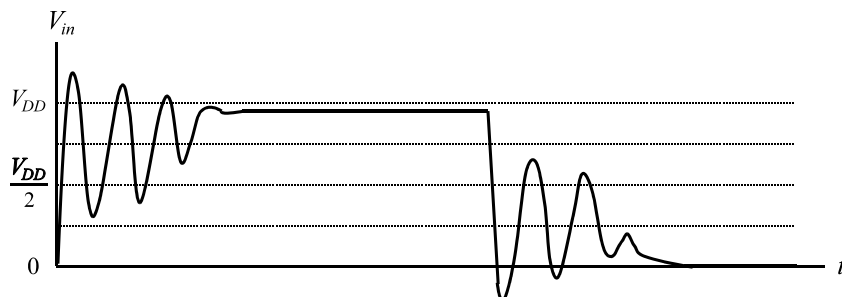
6. Să se calculeze pragurile triggerului Schmitt TTL reprezentat în fig.4.95; să se repete aceste calcule presupunând că scurtcircuitul dintre baza

și colectorul tranzistorului Q_1 nu este realizat.

7. Poarta XOR și inversorul din circuitul reprezentat în figura următoare sunt CMOS; caracteristica statică de transfer în tensiune a inversorului este simetrică. La intrarea circuitului se aplică o tensiune dreptunghiulară cu perioada T și factorul de umplere η . Să se determine răspunsul $V_{out}(t)$ în funcție de T , η și constanta de timp RC ; se consideră că T și produsul RC au valori mult mai mari decât timpii de propagare ai celor două porți logice.



8. a) La intrarea unui inversor cu tensiunea de comutare egală cu $V_{DD}/2$ se aplică tensiunea reprezentată în diagrama de mai jos. Să se determine răspunsul inversorului, neglijând timpul de propagare t_p .



b) Oscilațiile din tensiunea de comandă V_{in} , care apar imediat după ce au loc tranzițiile LYH și HYL, sunt nedorite; aceste oscilații pot să fie “filtrate” cu ajutorul unui inversor de tip trigger Schmitt. Cunoscând amplitudinea oscilațiilor, să se precizeze valorile pragurilor triggerului astfel încât răspunsul acestuia să nu conțină erori.