

3. REGISTRE DE DEPLASARE

3.0. Introducere

Un registru este format din mai multe bistabile si permite *memorarea* si / sau *deplasarea* informatiei la comanda impulsurilor de tact. Pentru realizarea registrelor se folosesc de obicei bistabile D.

Clasificarea registrelor are în vedere urmatoarele criterii:

- **Deplasarea** informatiei se poate face într-un singur sens sau în ambele sensuri.
- **Înscrierea** informatiei în registru se poate face *serial* (bit dupa bit, toti bitii cuvântului de n biti) sau *paralel* (cei n biti se scriu simultan în registru).
- **Citirea** registrului se poate face *serial* (bit dupa bit) sau *paralel* (toti bitii simultan).

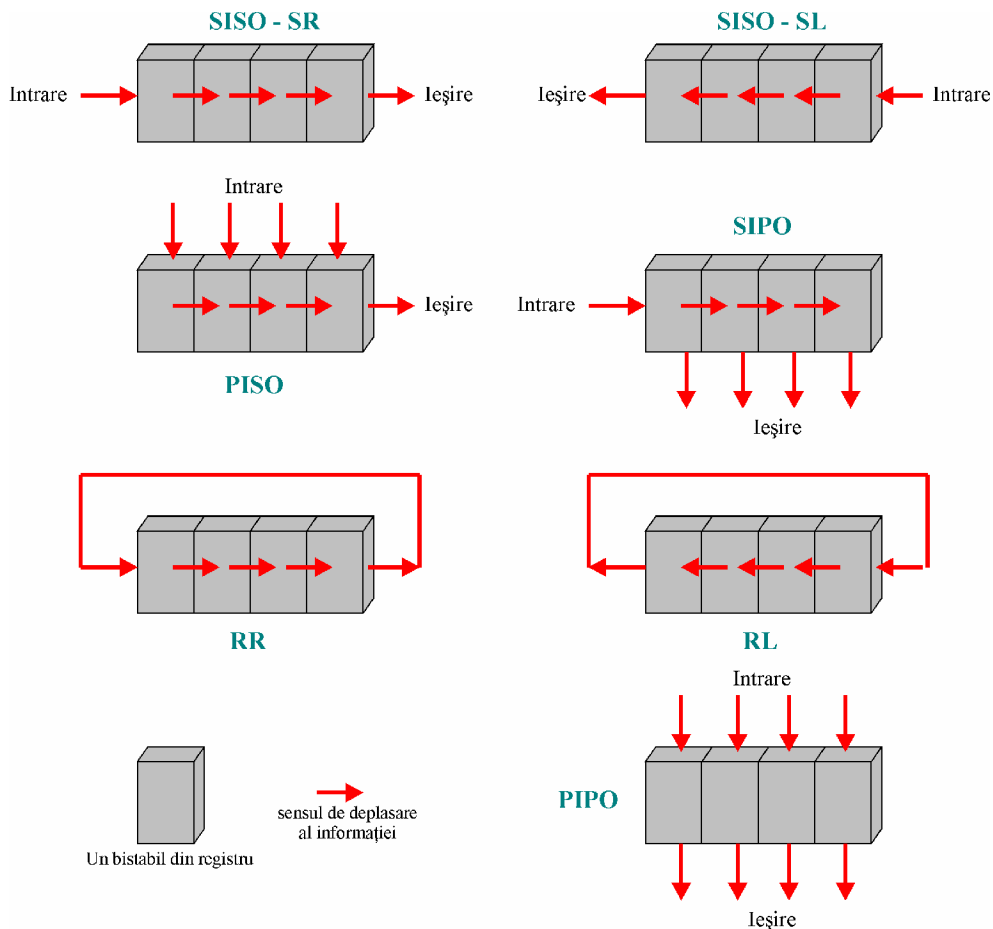


Figura 3.1. Registre de deplasare si memorare – principiu de functionare.

Exista urmatoarele tipuri fundamentale de registre (figura 3.1):

- SISO (*Serial Input - Serial Output*);
 - cu deplasare la dreapta a informatiei - SISO-SR (*Shift Right*);
 - cu deplasare la stânga a informatiei - SISO-SL (*Shift Left*);
 - bidirectionale;
- SIPO (*Serial Input - Parallel Output*);
- PISO (*Parallel Input - Serial Output*);
- PIPO (*Parallel Input - Parallel Output*).

În plus un registru conectat potrivit poate executa *rotirea* informatiei la dreapta (*Rotate Right*), respectiv la stânga (*Rotate Left*). Un registru care îndeplineste doua sau mai multe functii din cele patru de mai sus se numeste registru *universal*.

În tehnologie TTL se fabrica urmatoarele tipuri de registre de deplasare: 74LS164, 74LS165, 74LS166, 74LS194, 74LS195, 74LS95, 74LS174, 74LS374, 74LS574, 74LS594, 74LS595, iar CMOS: 4006, 4014, 4015, 4021, 4031, 4035, 4042, 4076, 4094, 4517, 4731, 40104 (tabelul 3.5).

3.1. Registrul SISO

Acest tip de registru respecta structura din figura 3.2, formata din n bistabile de tip D. Intrarea D a bistabilului $k + 1$ este conectata la iesirea Q a bistabilului k . O intrare asincrona activa pe '0' notata nMR (*Master Reset*) permite stergerea simultana a tuturor bistabilelor. Deplasarea informatiei se face de la intrare notata SIN (*Serial Input* sau *DS Data Serial*) spre iesire, notata SOUT (*Serial Output*) sau Q_{n-1} daca se iau în considerare cele n bistabile D ale registrului si primul se noteaza cu 0. Deplasarea informatiei se efectueaza de la stânga la dreapta. Bistabilele D utilizate comuta pe frontul scazator al semnalului de tact si pot fi de exemplu Master Slave realizate din doua latch-uri SR.

Observatie: Daca nu s-ar folosi bistabile care comuta pe frontul scazator, ci latch-uri D cu validare, registrul nu ar functiona corect, deoarece latch-urile ar deveni transparente pe palierul semnalului de tact, iar pentru $SIN = 1$, la primul palier 1 logic al tactului toate iesirile Q_i ar deveni 1 logic.

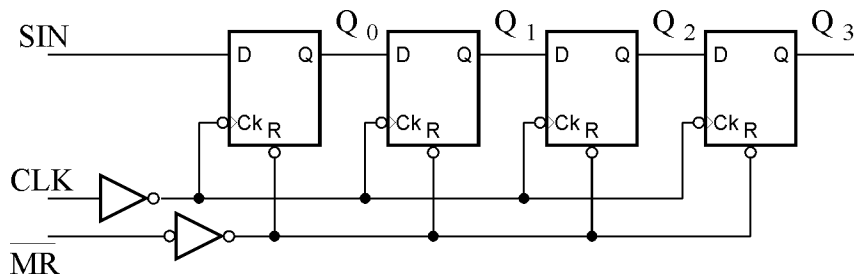


Figura 3.2. Registru SISO de 4 biti – schema de principiu.

Descrierea functionarii registrului SISO

Pentru înscrierea informatiei în registru, în general nu este necesara în general initializarea prin $\overline{MR} = 0$ deoarece pachetul de n biti ce va fi înscris va înlocui oricum informatia existenta anterior în registru. Operatia de scriere propriu-zisa se face cu $\overline{MR} = 1$, într-un numar de impulsuri de tact egal cu numarul de biti ai cuvântului înscris.

Se aplica la intrarea SIN bitii D_{i3} , D_{i2} , D_{i1} si D_{i0} si cele 4 impulsuri de tact corespunzatoare. Functionarea poate fi exemplificata cu ajutorul tabelului 3.1, considerând ca date de intrare $D_{i3} = 1$, $D_{i2} = 0$, $D_{i1} = 1$, $D_{i0} = 1$. Simbolul circuitului si diagramele de semnal sunt prezentate în figura 3.3.

Citirea (seriala) se face folosind iesirea Q_{n-1} (D_{OUT}). Registrul poate fi citit si *parallel* daca iesirile Q_0 , ..., Q_{n-1} sunt accesibile la pinii circuitului integrat.

Tabelul 3.1

Înscrierea registrului SISO de 4 biti

Tact	SIN	Q_0	Q_1	Q_2	Q_3
nMR	x	0	0	0	0
1	1 (D_{i3})	1	0	0	0
2	0 (D_{i2})	0	1	0	0
3	1 (D_{i1})	1	0	1	0
4	1 (D_{i0})	1	1	0	1

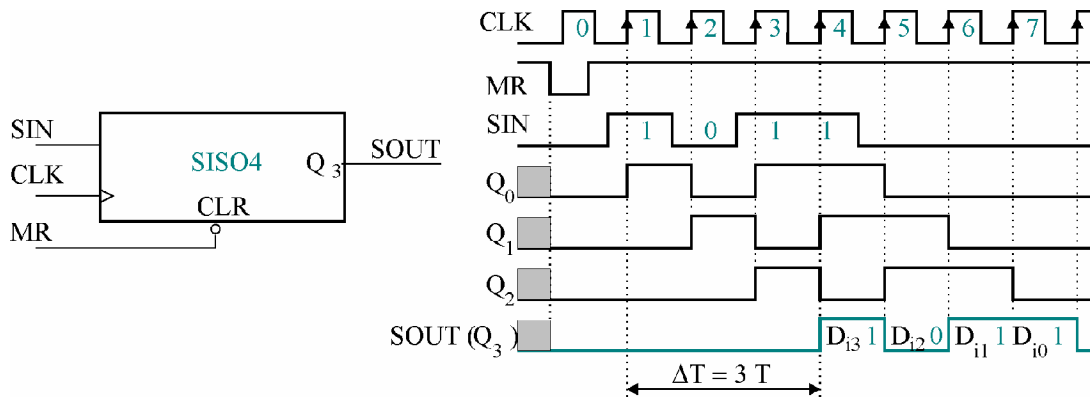


Figura 3.3. Registrul SISO4: simbol si diagrame de semnal.

Circuitul 4731B (figura 3.4) produs de firma Fairchild contine 4 registre SISO de 64 de biti, la care sunt accesibile doar intrarea SIN si iesirea Q_{63} .

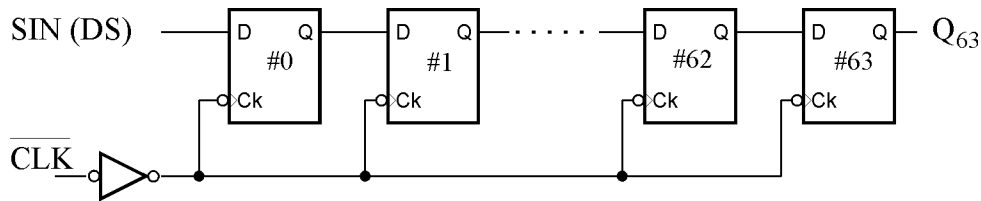


Figura 3.4. Un registru SISO de 64 de biti din circuitul CMOS 4731B, Fairchild.

Pentru registrul SISO din figura 3.5, diagramele de semnal prezinta principala aplicatie a acestui tip de registru – întârzierea informatiei cu o durata egala cu perioada a $n - 1$ semnale de tact (figura 3.6).

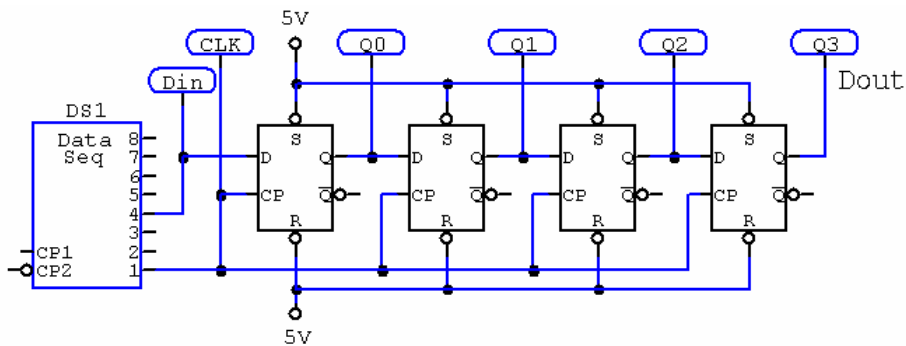


Figura 3.5. Registru SISO de 4 biti, simulare Circuit Maker.

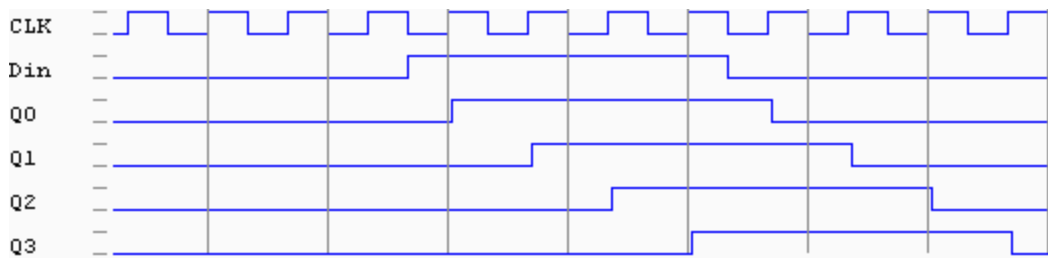


Figura 3.6. Functionarea registrului SISO de 4 biti ca circuit de întârziere.

Tema. În figura 3.5 desi bistabilele comuta pe frontul *creșcător* al semnalului de tact, registrul functioneaza corect. De ce?

3.1.1. Registre bidirectionale

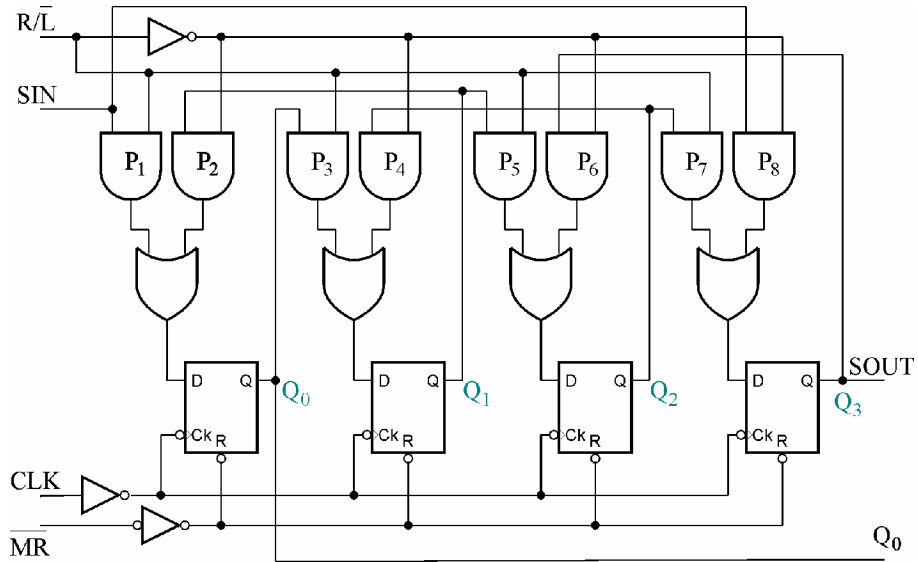


Figura 3.7. Registrul SISO de 4 biti bidirectional.

3.2. Registrul SIPO

Arhitectura SIPO este asemanatoare cu SISO, cu deosebirea notabila ca iesirile Q ale tuturor celor n bistabile din registru sunt disponibile în exterior (figura 3.8).

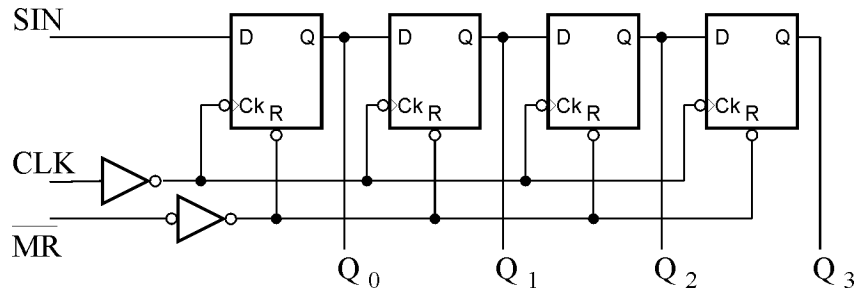


Figura 3.8. Registrul SIPO de 4 biti – schema de principiu.

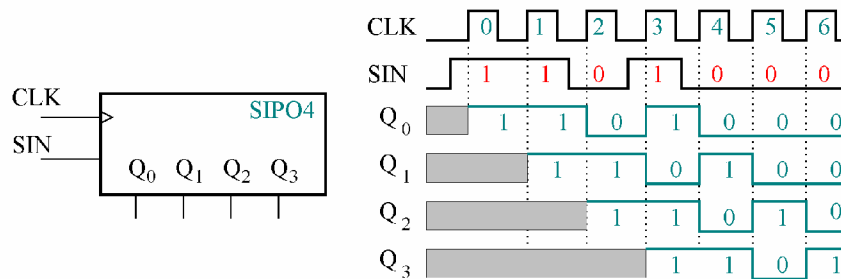


Figura 3.9. Registrul SIPO de 4 biti – simbol si functionare.

Pentru exemplificare vom studia un registru SIPO în tehnologie TTL de 8 biti, larg utilizat – 74LS164 (figura 3.10).

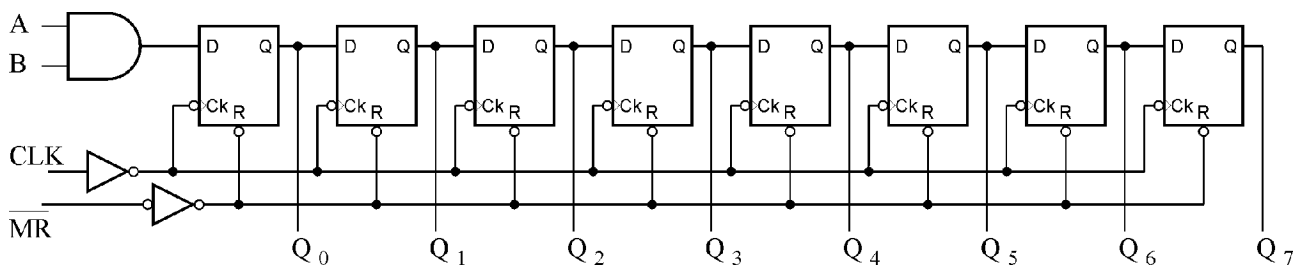


Figura 3.10. 74LS164 – arhitectura interna.

3.2.1. Aplicatie 74LS164 – numarator cu 8 stari

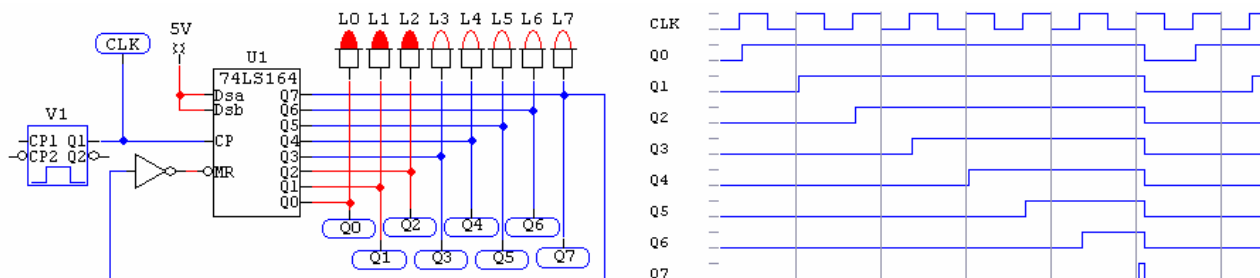


Figura 3.11. 74LS164 conectat ca numarator cu 8 stari – schema si diagrame de semnal.

3.3. Registrul PISO

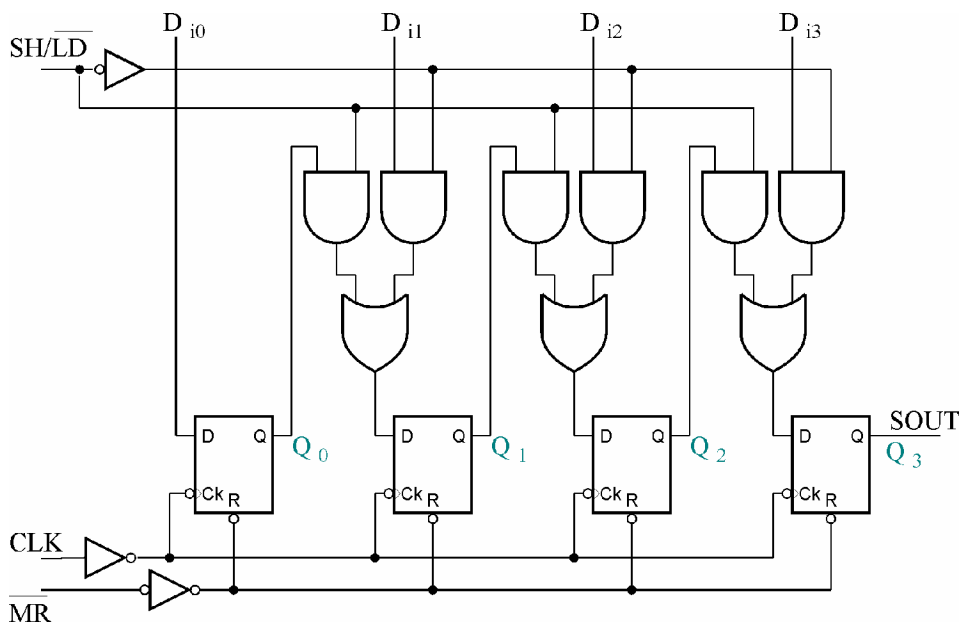


Figura 3.12. Registru PISO de 4 biti – schema de principiu.

Acest registru permite înscrierea paralela a celor n biti si deplasarea informatiei într-un singur sens. În figura 3.12 este prezentat un exemplu de registru PISO având $n = 4$ biti. Cele trei multiplexoare pe doi biti formate din porti SI-SAUA permit înscrierea si deplasarea informatiei. Si în acest caz daca în locul bistabilelor D MS sau D active pe front s-ar utiliza latch-uri D cu intrare de validare, functionarea registrului nu ar mai fi corecta.

Înscrierea (paralel): Presupunem ca dorim sa scriem cuvântul 1101. La intrarile D_{i3}, \dots, D_{i0} se aplica paralel cuvântul dorit (1101). Pentru înscrierea efectiva $SH/nLD = 0$ si apoi se aplica un impuls de tact. Informatia prezenta la intrarile D_{i3}, \dots, D_{i0} se va memora în bistabile si se va regasi la iesirile Q_0, \dots, Q_3 . Doar

Q_3 este accesibil sub denumirea de SOUT (*Serial Out*). În acest caz nu este necesara o initializare pe "0" a bistabilelor registrului deoarece informatia înscrisa paralel va suprascrie oricum registrul. Pentru a obtine la iesire informatia înscrisa paralel sunt necesare doar $n - 1 = 3$ semnale de tact, deoarece la primul semnal de tact SOUT contine deja D_{i3} (figura 3.13).

Deplasarea informatiei se realizeaza pentru $SH/nLD = 1$, câte un bit pentru fiecare impuls de tact.

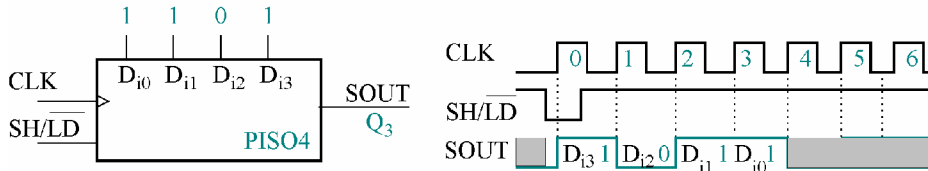


Figura 3.13. Registru PISO de 4 biti – simbol si functionare.

Circuitul din figura 3.12 poate fi modificat pentru a permite si intrarea seriala a datelor. În acest sens este adaugat un multiplexor suplimentar la intrarea primului bistabil si este prevazuta intrarea SIN (figura 3.14). Functionarea ca registru PISO este similara cu cea deja prezentata. Configurat ca registru SISO, informatia trebuie furnizata serial la SIN, bit cu bit, fiecare bit valid fiind urmat de o tranzitie activa JOS → SUS a semnalului de tact (atentie! si în acest caz trebuie respectati timpii de stabilire si de mentinere specificati în catalog pentru registru).

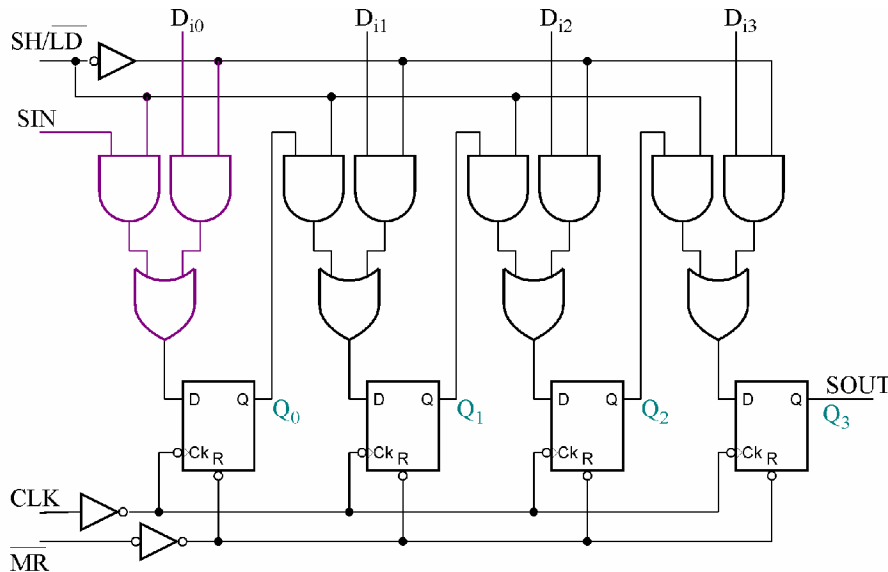


Figura 3.14. Registru PISO de 4 biti cu facilitate de intrare seriala – schema electrica.

3.3.1. 74LS165 – registru combinat de 8 biti cu încarcare paralel PISO, SISO

74LS165 este un registru combinat care permite deplasarea informatiei de la stânga la dreapta si înscriere seriala (functionare ca SISO) sau paralela (functionare ca PISO).

Încarcarea paralel are loc pentru $SH/\overline{LD} = 0$, iar deplasarea informatiei la dreapta pentru $SH/\overline{LD} = 1$. Mai sunt oferite ca facilitati suplimentarea un pin de inhibare a semnalului de tact (CLK INH), iar iesirea seriala este disponibila si negata (Q_7 si $\overline{Q_7}$).

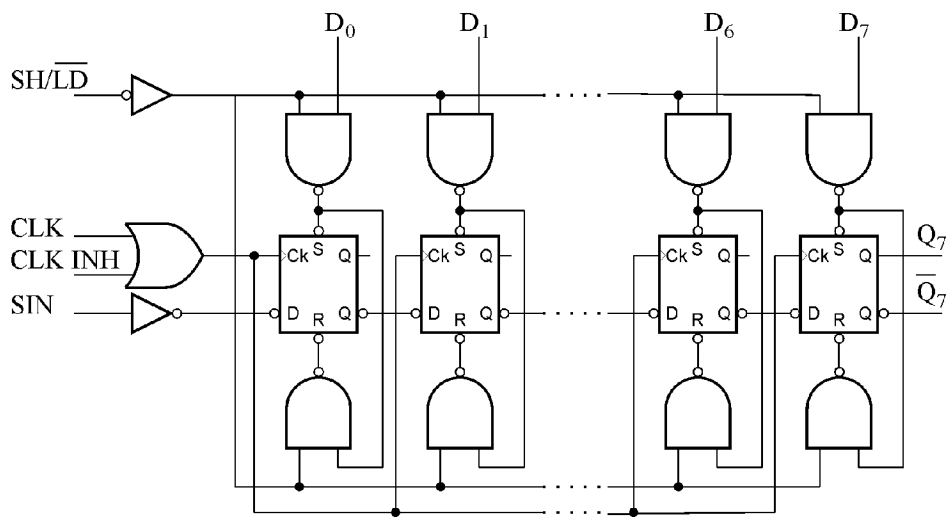


Figura 3.15. 74LS165 – schema electrica.

3.4. Registrul PIPO

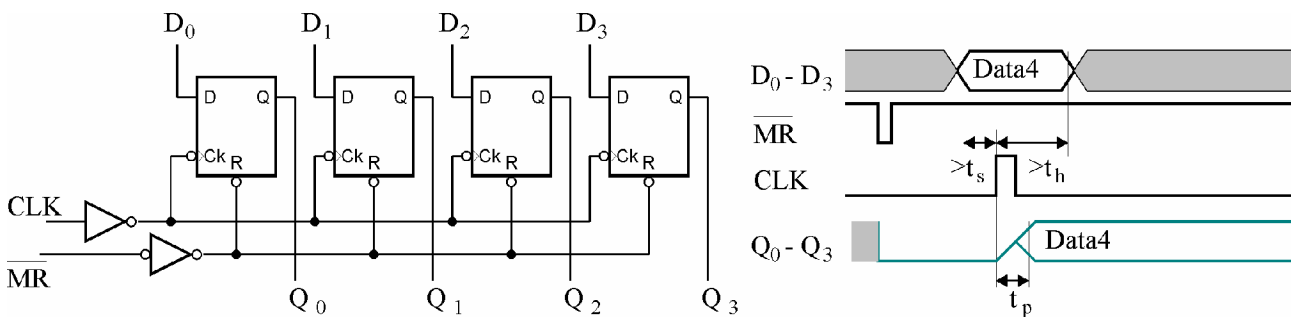


Figura 3.16. Registrul PIPO de 4 biti – schema de principiu si diagramele de semnal.

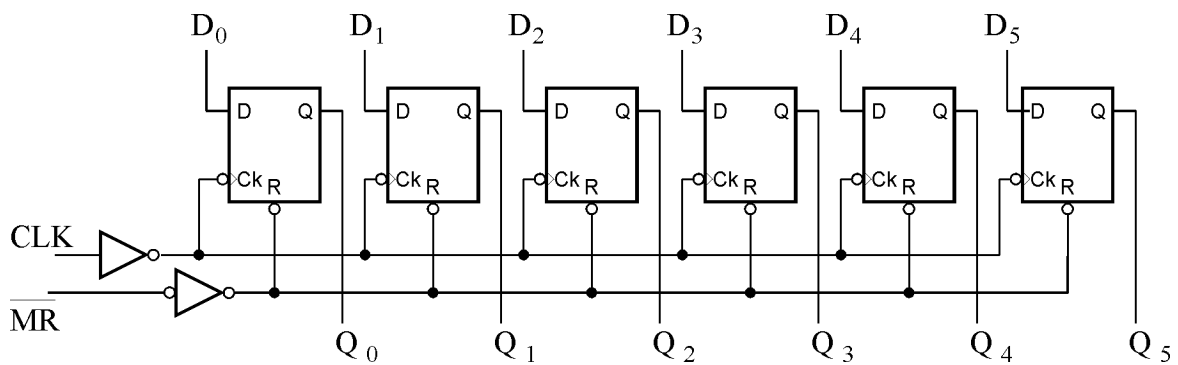


Figura 3.17. 74LS174 – arhitectura interna.

3.4.1. Aplicatie. Utilizarea 74LS174 ca SISO

Descrierea schemei

Deși circuitul din figura 3.18 este aparent complicat, singurele legături sunt $D_i \leftrightarrow Q_{i-1}$, unde $i = 1, \dots, 5$. D_0 este intrarea seriala de date (SIN), iar CP este notatia consacrata Circuit Maker pentru tact.

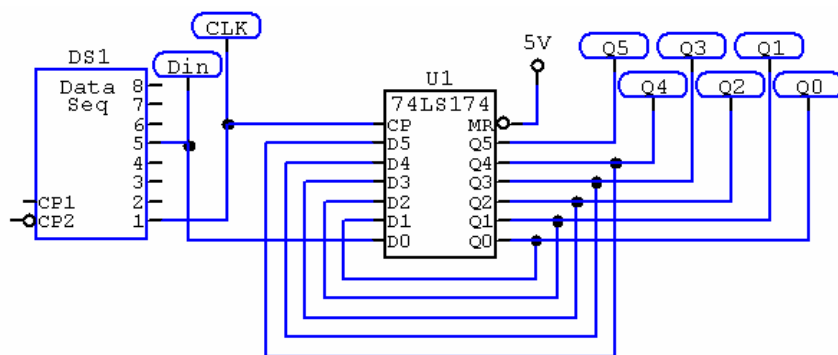


Figura 3.18. 74LS174 utilizat ca SISO – simulare Circuit Maker.

Diagramele de semnal

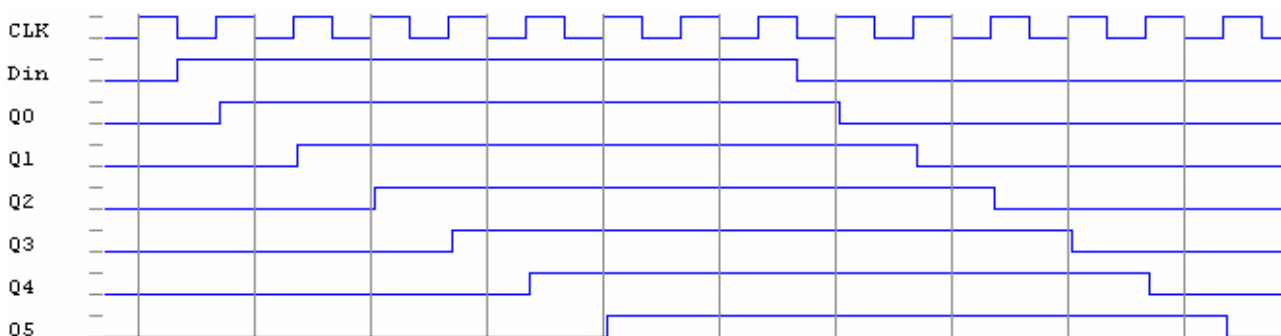


Figura 3.19. 74LS174 utilizat ca SISO – diagrame de semnal.

3.5. Registre de deplasare universale

Permit înscrierea paralela și seriala a informației, citirea paralela și seriala și deplasarea în ambele sensuri. 74LS194 și 74LS195 sunt două exemple de asemenea registre universale pe 4 biți.

74LS194 este un registru de deplasare universal organizat pe 4 biți. Circuitul dispune de intrări și ieșiri paralele, intrări de deplasare dreapta și stânga, două intrări de control al modului de operare și o intrare prioritara de stergere.

Registrul permite 4 moduri de funcționare:

- Încărcare paralel;
- Deplasare dreapta (în direcția $Q_0 \rightarrow Q_3$);
- Deplasare stânga (în direcția $Q_0 \leftarrow Q_3$);
- Inhibare tact (asteptare).

Funcționarea registrului 74LS194 este prezentată în tabelul 3.2. Indiferent de modul de operare selectat, înainte de fiecare front crescător a semnalului de tact, informația la intrările de date paralele sau serie trebuie actualizată, respectând timpii de stabilire și de menținere.

Încărcarea paralel: pentru $S_0 = S_1 = 1$, aducând informația la intrările A, B, C, D, memorarea în registru se realizează pe frontul crescător al semnalului de tact; la ieșirile QA, QB, QC și QD această informație este disponibilă tot paralel după t_p (maxim 35 ns în foaia de catalog). Pe durata încărcării paralele, circulația serie a informației este inhibată.

Deplasarea la dreapta a informației prezente la intrarea SR (*Shift Right Data Input*) este realizată pentru fiecare front crescător al semnalului de tact, pentru $S_0 = 1$ și $S_1 = 0$. **Deplasarea la stânga** se realizează similar, pentru $S_0 = 0$ și $S_1 = 1$, iar intrarea serială de date este în acest caz SL.

Daca $S_0 = S_1 = 0$, tactul spre bistabilele registrului este inhibat si modul de operare selectat (*Hold*) nu presupune nici o modificare a informatiei memorate în registru. Pentru $nCLR = 0$, Q_0 , Q_1 , Q_2 si Q_3 devin 0 ($nCLR$ este intrare asincrona prioritara).

Tabelul 3.2

Modurile de operare ale registrului 74LS194

S1	S0	Funcția	Explicatie
0	0	Hold	Memorare (nici o modificare)
0	1	Shift Right	Deplasare la dreapta $Q_0 \rightarrow Q_3$
1	0	Shift Left	Deplasare la stânga $Q_0 \leftarrow Q_3$
1	1	Load	Încarcare paralel

L_{IN} = intrarea pentru deplasarea spre stânga

R_{IN} = intrarea pentru deplasarea spre dreapta

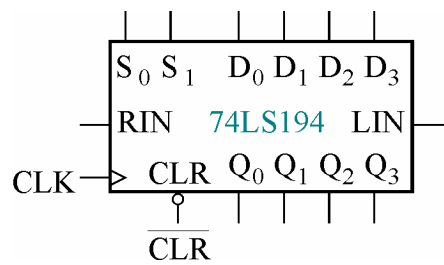


Figura 3.20. 74LS194 – configuratia terminalelor.

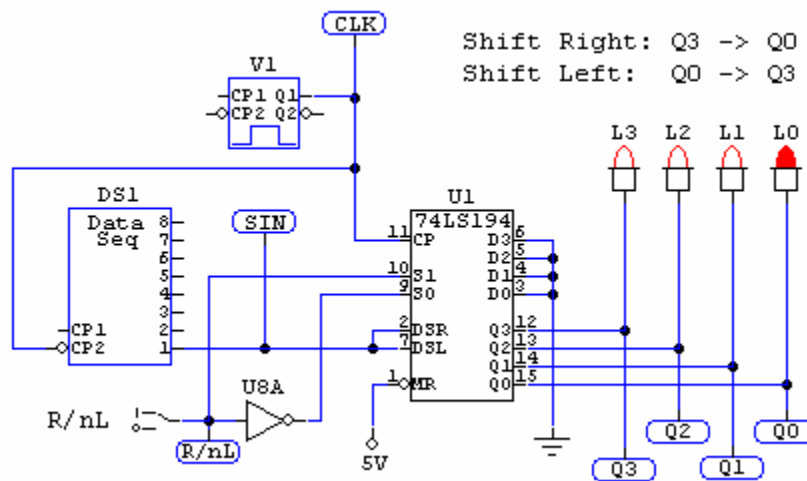


Figura 3.21. 74LS194 – deplasare dreapta si stânga, schema electrica.

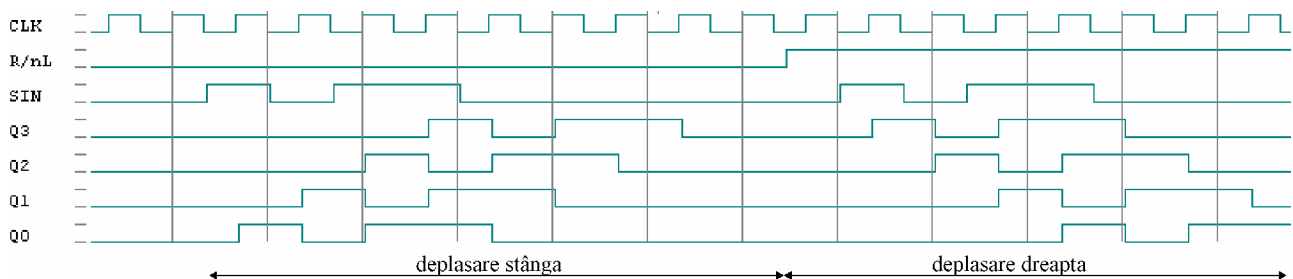


Figura 3.22. 74LS194 – deplasare dreapta si stânga, diagrame de semnal.

3.6. Aplicatii ale registrelor de deplasare

3.6.1. Conversia unui cuvânt binar serie într-un cuvânt paralel

Registrul care se foloseste este SIPO:

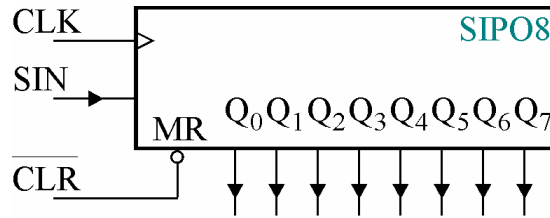


Figura 3.23. Conversia serie – paralel cu SIPO8.

Când este adusa la 0 logic, intrarea nCLR (nMR) determina stergerea tuturor iesirilor Q_i , indiferent de starea semnalului de tact. În principiu nu este necesara initializarea continutului registrului, deoarece el se va suprascrisce oricum dupa 8 impulsuri de tact.

Secventa de înscriere a informatiei este D_7, D_6, \dots, D_0 – fiind necesare 8 impulsuri de tact pentru ca bitul 7 (cel mai semnificativ) sa ajunga la iesire pe pozitia corecta – Q_7 . Ritmul în care sunt adusi bitii la SIN trebuie sa fie corelat cu secventa de aplicare a impulsurilor de tact (figura 3.24). Chiar daca intern bistabilele D din componenta registrului comuta pe frontul scazator al semnalului de tact, în registrele SIPO integrate semnalul de tact este inversat intern si de aceea semnalul de tact din figura 3.24 este activ pe frontul *creascator*.

Trebuie remarcat ca fiecare dintre pinii Q_i poate fi folosit si ca iesire seriala (circuitul se poate folosi si ca SISO1 ... SISO8).

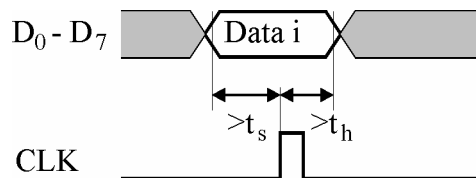


Figura 3.24. Conversia serie – paralel cu SIPO8, diagrame de semnal.

Conversia serie-paralel este utila pentru extinderea numarului de *iesiri* într-un sistem cu microcontroler, mai ales la un microcontroler cu numar redus de pini – PIC16F84A de exemplu are 18 pini, dintre care 13 pini I/O care nu sunt întotdeauna suficienti pentru o anumita aplicatie. Schema din figura 3.25 utilizeaza 2 linii I/O pentru generarea semnalului de tact si date pentru SIPO8 (un 74LS164 de exemplu). Un al treilea pin I/O permite stergerea *simultana* a iesirilor $Q_7 - Q_0$, dar de obicei aceasta facilitate nu este necesara.

Secventa de încărcare a lui U2 este obtinuta prin repetarea de 8 ori a succesunii: SIN (I/O2) = D_i , CLK (I/O1) = 1, CLK (I/O1) = 0; primul bit înscriș va fi bitul 7.

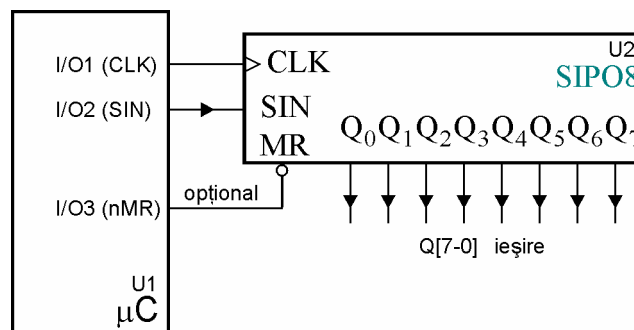


Figura 3.25. Aplicatie – extinderea numarului de iesiri într-un sistem cu microcontroler.

Deși corectă principial, schema din figura 3.25 are o problemă subtilă: pe durata încărcării seriale, ieșirile $Q[7-0]$ se modifică în conformitate cu informația serială deplasată în registru, producând zgomote nedorite în sistem. Presupunând pentru U1 un microcontroler modern cu o putere de calcul de 1 MIPS și durata execuției unei instrucțiuni de 1 μ s, sunt necesare 3 μ s pentru fiecare bit înscris, respectiv 24 μ s pentru întregul cuvânt de 8 biți. Dacă la ieșirile $Q[7-0]$ sunt conectate niște LED-uri, ochiul nu va sesiza această pâlpâire de 24 μ s; dacă însă $Q[7-0]$ comanda un DAC, un control al volumului într-un generator de funcții sau într-un dispozitiv audio, zgomotele vor fi deranjante. Pentru a rezolva acest neajuns trebuie utilizate registre care oferă un etaj suplimentar de memorare cu strobare, de tip 74LS595 (figura 3.26).

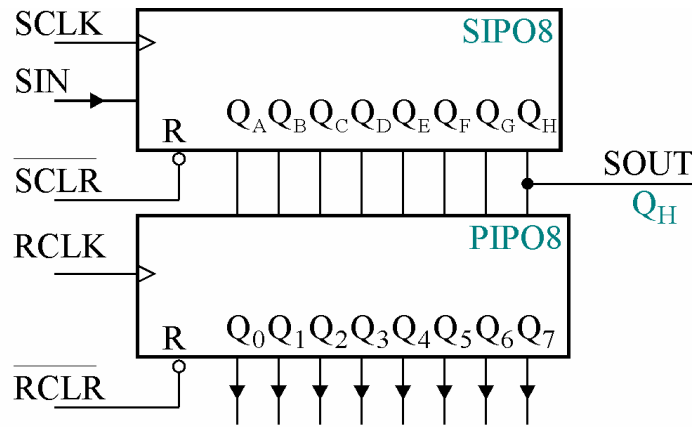


Figura 3.26. 74LS594 – schema bloc.

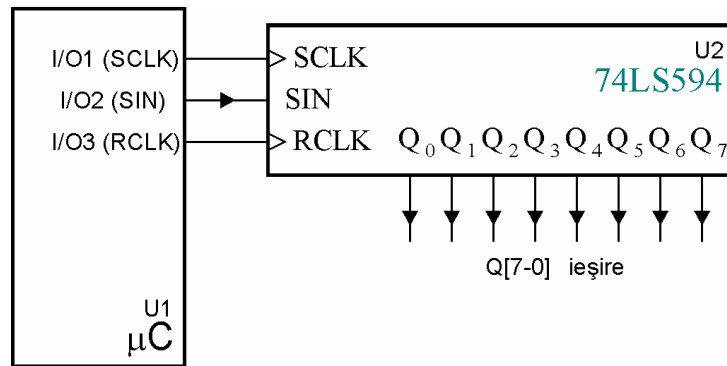


Figura 3.27. Extinderea numărului de ieșiri într-un sistem cu microcontroler, varianta îmbunătățită.

Tema. Câte linii I/O sunt necesare pentru comanda a 16 linii de ieșire?

3.6.2. Conversia unui cuvânt binar paralel într-un cuvânt serie

Registrul folosit este PISO (figura 3.28):

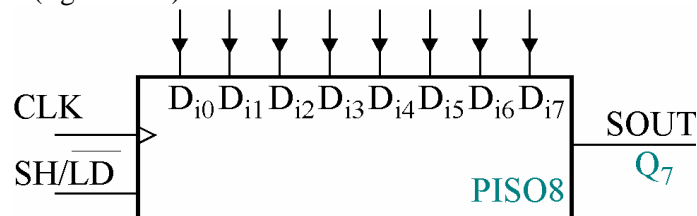


Figura 3.28. Conversia paralel - serie cu PISO8.

Optional poate exista și o intrare $nCLR$ (nMR), care nu este reprezentată. Pentru **înscrisura** datelor $Di7, \dots, Di0$ linia $SH/nLD = 0$ și se aplică un impuls de tact. Înscrisura propriu-zisă se face pe frontul crescător al semnalului de tact. Pentru citirea serială a datelor (a cuvântului de n biți) se face $SH/nLD = 1$ și se aplică $n-1$ impulsuri de tact.

Întreaga operație de conversie necesită n perioade de tact, prima fiind destinată pentru încărcarea paralelă, iar restul pentru citirea serială (figura 3.27).

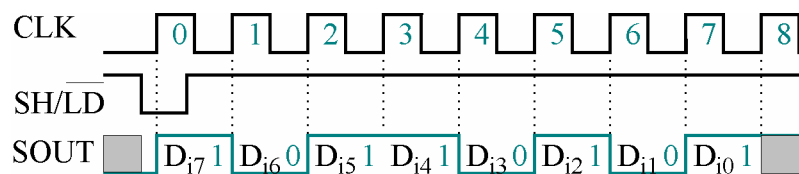


Figura 3.29. Conversia paralel - serie cu PISO8, diagrame de semnal.

Conversia paralel-serie este utilă pentru extinderea numărului de *intrări* într-un sistem cu microcontroler. Schema din figura 3.28 utilizează 3 linii I/O pentru generarea semnalului de tact (CLK), comanda (SH/nLD) și citire serială (SOUT) pentru PISO8 (un 74LS165 de exemplu).

Secvența de citire a lui U2 este obținută prin comanda înscrierii paralele a lui U2: SH/nLD (I/O2) = 0, CLK (I/O1) = 1, CLK (I/O1) = 0, citirea lui Di7 care este disponibil în acest moment la SOUT, făcând SH/nLD (I/O2) = 1 și apoi prin repetarea de 7 ori a succesiunii: CLK (I/O1) = 1, CLK (I/O1) = 0; citire Di. Primul bit citit este Di7 iar ultimul Di0.

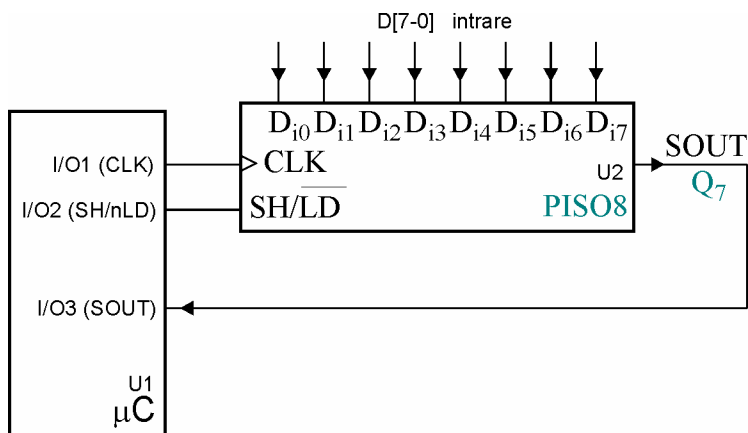


Figura 3.30. Aplicație – extinderea numărului de intrări într-un sistem cu microcontroler.

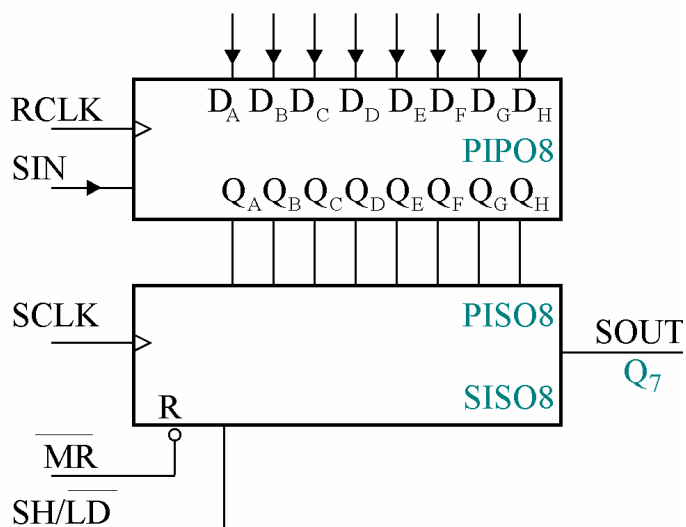


Figura 3.31. 74LS597 – schema bloc.

Tema. În schema din figura 3.30 să se utilizeze un 74LS597. De câte linii I/O este nevoie pentru citirea a 16 linii de intrare?

3.6.3. Realizarea unei întârzieri în transmiterea serială a informației utilizând un registru de SISO

Dacă n este numărul de biți ai registrului, atunci întârzierea produsă este: $\Delta T = (n - 1) \cdot T_{CLK}$,

unde T_{CLK} este perioada semnalului de tact. Se utilizează doar intrarea și ieșirea serie a registrului (SIN și SOUT).

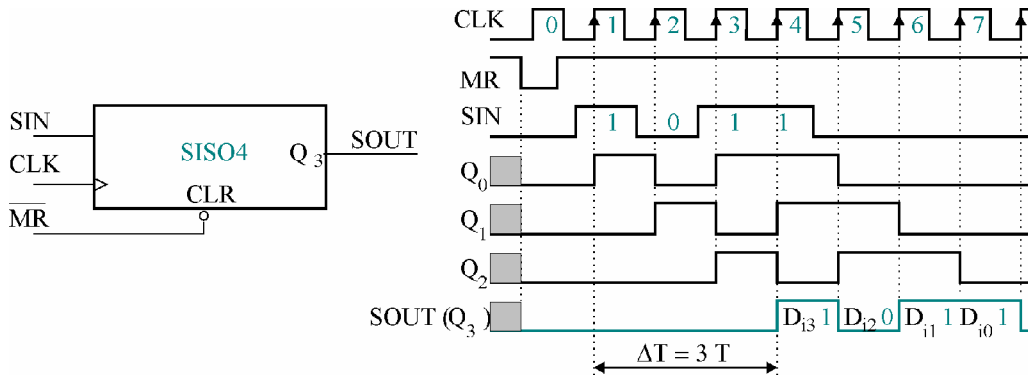


Figura 3.29. Întârzierea cu un registru SISO4 și diagramele de semnal.

Trebuie să existe o sincronizare între biții aplicați la intrare și impulsurile de tact CLK. Frontul crescător al semnalului de tact trebuie să găsească bitul pe care îl înscrie având un nivel stabil.

3.6.4. Numaratorul în inel

Aplicația principală este generarea secvențială a unor semnale de comandă destinate comutării succesive a unui număr n de circuite digitale. Numaratorul utilizează un registru combinat cu încărcare și citire paralel (PIPO), prevăzut cu intrare și ieșire serială. Prin încărcare paralelă registrul (numaratorul în inel) se inițiază întotdeauna cu un cuvânt binar de n biți, un bit pe 1 logic, $n - 1$ biți pe 0 logic. Ieșirile paralele sunt necesare pentru a obține n semnale de comandă, fără a mai fi necesar un decodificator. În schema din figura 3.30 se utilizează un registru universal 74LS194 cu $S_0 = 1$ și intrările $D_3 D_2 D_1 D_0 = 0001$.

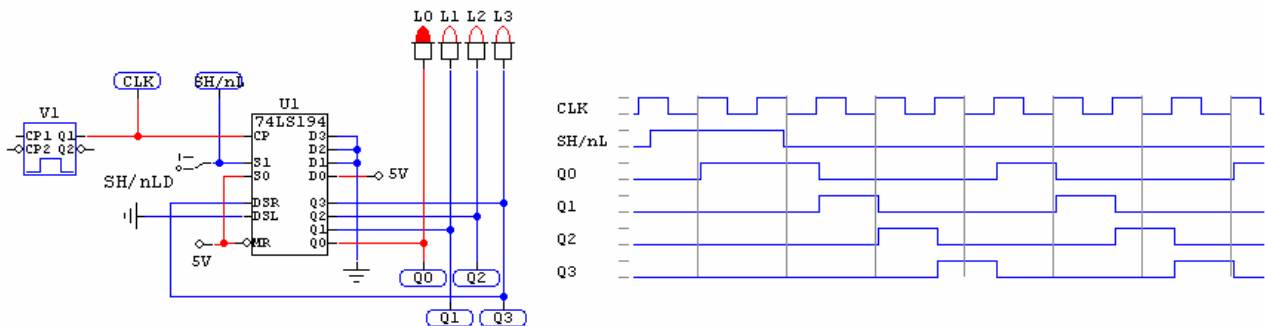


Figura 3.30. Numaratorul în inel pe 4 biți cu 74LS194 și diagramele de semnal.

Sucesiunea operațiilor:

1. inițializarea se realizează pentru $SH/nLD = 0$, $D_3 D_2 D_1 D_0 = 0001$ și aplicând un impuls de tact.
2. Se comută $SH/nLD = 1$ și se aplică impulsuri de tact un timp nedefinit (figura 3.30).

Circuitul are un *ciclu* de funcționare de n perioade de tact (în cazul din figura 3.30 sunt patru stări distincte). După terminarea unui ciclu începe un alt ciclu identic la ieșirile $Q_3 - Q_0$. Urmărind oricare dintre ieșirile Q_i se constată că circuitul se comportă ca un divizor de frecvență pentru frecvența tactului:

$$f_Q = \frac{f_{CK}}{n}, \text{ sau } T_Q = nT_{CK}$$

Trebuie remarcat ca nu exista situatie când doua iesiri sa fie pe 1 simultan

Circuitul poate fi considerat *numarator* al impulsurilor de tact aplicate deoarece pentru fiecare impuls de tact dintr-un ciclu starea iesirilor Q3 – Q0 este distincta, existând *n* stari distincte (în cazul nostru *n* = 4).

Tabelul 3.3

Functionarea numaratorului în inel cu 74LS194

	Nr. tact	Q ₀	Q ₁	Q ₂	Q ₃	Explicatie
Initializare	0	0	0	0	0	nMR = 0
	1	1	0	0	0	S1 S0 = 11 (încarcare paralel)
ciclu complet de functionare cuprinde 4 impulsuri de tact	2	0	1	0	0	S1 S0 = 01 (deplasare dreapta)
	3	0	0	1	0	
	4	0	0	0	1	
	5 (1)	1	0	0	0	

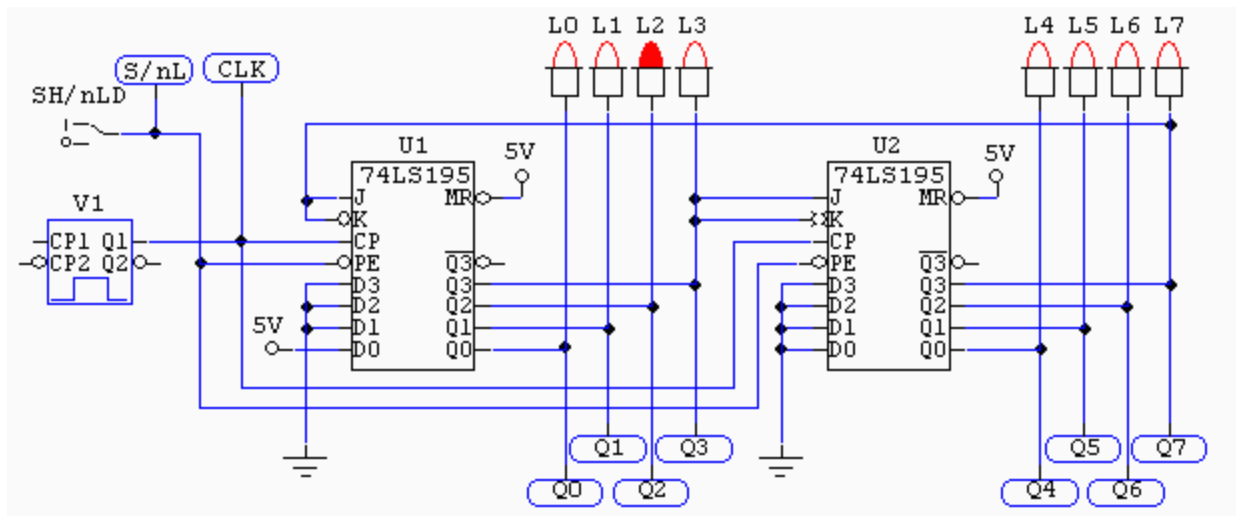


Figura 3.31. Numarator în inel pe 8 biti cu 74LS195.

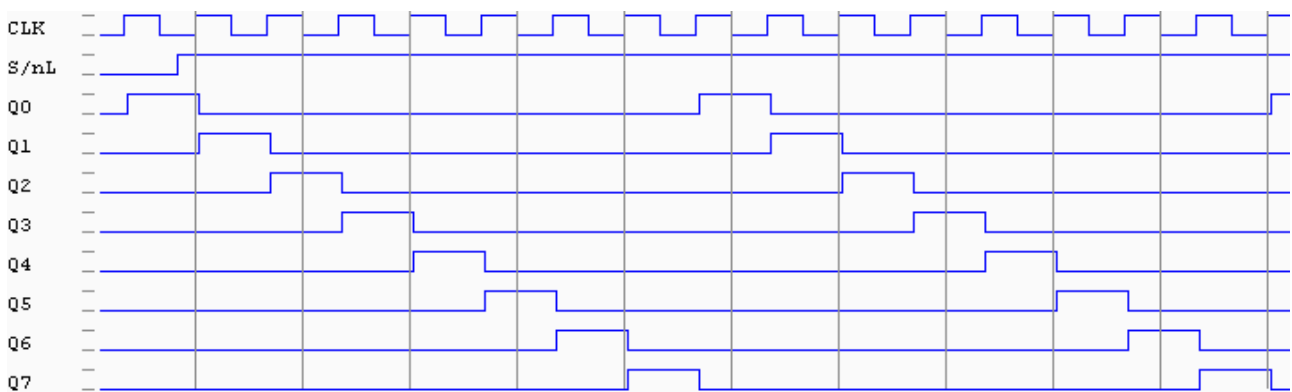


Figura 3.32. Numarator în inel pe 8 biti cu 74LS95 – diagrame de semnal.

Numaratorul în inel poate fi privit si ca un distribuitor secvential de impulsuri ce poate fi folosit la comanda secventiala a unor relee electromagnetice sau a unor elemente de executie – *actuatoare* - (dispozitive sau circuite care atunci când sunt comandate efectueaza o anumita operatie).

$Q_0 = 1 \Rightarrow$ conduce $T_0 \Rightarrow$ prin înfășurarea releului R_0 se închide un curent la masa, releul R_0 anclanseaza iar contactul K_0 se închide. Toate celelalte relee sunt neanclansate și contactele acestora deschise. Astfel releele sunt anclansate și contactele acestora închise pe rând, ciclic, în succesiunea data de numărătorul în inel.

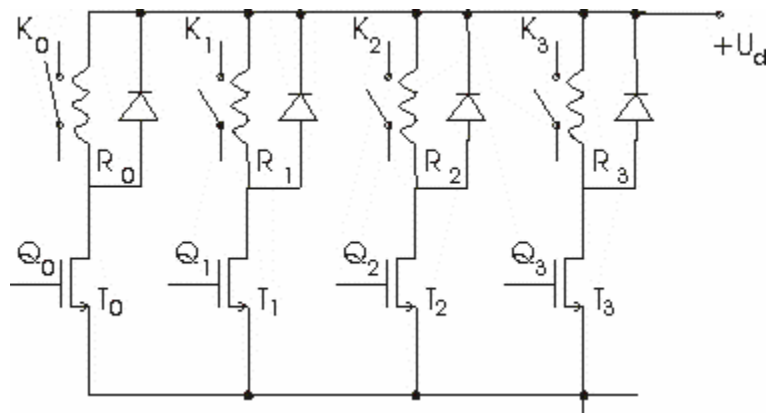


Figura 3.33. Comanda actuatorilor – schema electrica.

$Q_0 = 1 \Rightarrow$ conduce $T_0 \Rightarrow$ prin înfășurarea releului R_0 se închide un curent la masa, releul R_0 anclanseaza iar contactul K_0 se închide. Toate celelalte relee sunt neanclansate și contactele acestora deschise. Astfel releele sunt anclansate și contactele acestora închise pe rând, ciclic, în succesiunea data de numărătorul în inel.

Dioda D este necesara pentru „taierea” tensiunii de autoinductie care apare la bornele înfășurării releului, cu polaritatea din figura 3.33, în momentul blocării tranzistorului. Dacă nu ar exista dioda de descarcare a energiei electromagnetice înmagazinate în înfășurarea releului pe timpul conductiei tranzistorului, tensiunea aplicata între drenea și sursa tranzistorului ar fi:

$$U_{DS_0} = U_d + L \cdot \frac{di_d}{dt}$$

- L este inductanta înfășurării releului.

Aceasta tensiune ar putea atinge valori ridicate ce ar conduce la distrugerea tranzistorului. Prevenirea acestui fenomen se face prin conectarea diodei D în paralel cu înfășurarea releului, cu anodul în drenea tranzistorului.

Releele pot fi înlocuite cu alte actuatore (elemente de executie) sau chiar cu înfășurările unui motor pas cu pas.

3.6.5. Numărătorul Johnson

La aceasta varianta se utilizeaza un registru mai simplu (intrare serie, iesire paralel, SIPO). Inicializarea numărătorului se face prin aplicarea unui impuls de stergere. Numarul de stari distincte ale circuitului în cazul unui ciclu complet de functionare nu mai este n ci este $2n$.

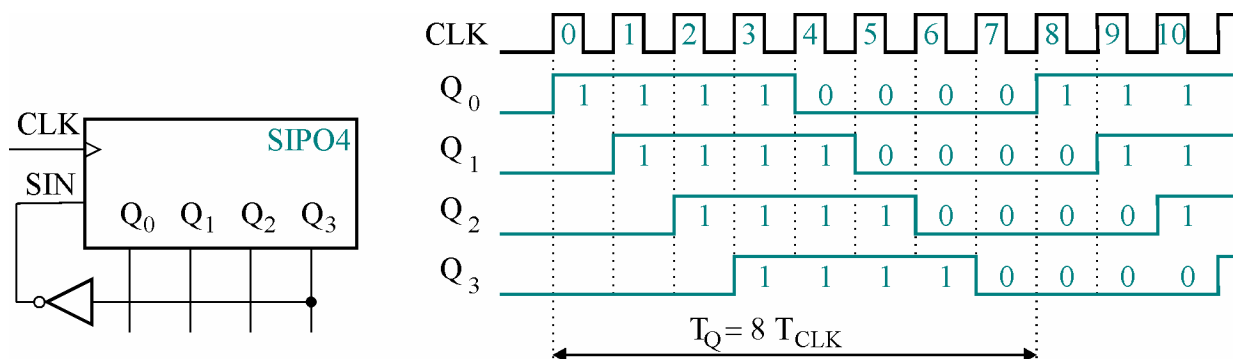


Figura 3.34. Numărătorul Johnson – schema electrica și diagrame de semnal.

Descrierea functionarii:

1. Initalizarea se realizeaza aplicând un semnal de stergere nMR = 0, care determina $Q_3 Q_2 Q_1 Q_0 = 0000$.
2. În continuare se aplica impulsuri de tact pe o perioada cât se doreste functionarea circuitului.

Tabelul 3.4

Functionarea numaratorului Johnson pentru $n = 4$ biti

	Nr. tact	Q_3	Q_2	Q_1	Q_0
	Initializare	0	0	0	0
ciclul complet de functionare cuprinde 8 impulsuri de tact	0	1	0	0	0
	1	1	1	0	0
	2	1	1	1	0
	3	1	1	1	1
	4	0	1	1	1
	5	0	0	1	1
	6	0	0	0	1
	7	0	0	0	0
	8	1	0	0	0
	9	1	1	0	0
	10	1	1	1	0

Din tabelul 3.4 si figura 3.34 se observa ca pentru orice iesire Q_i , $T_{Q_i} = 2n \cdot T_{CLK}$, respectiv $f_{Q_i} = \frac{f_{CLK}}{2n}$.

Circuitul functioneaza ca divizor de frecventa cu $2n$. În cadrul unui ciclu circuitul functioneaza ca numarator pâna la $2n$, $m = 2n$ si $m =$ numarul starilor distincte ale circuitului, in cadrul ciclului de functionare m purtând si denumirea de modulul numaratorului în inel.

Este posibila numararea impulsurilor de tact deoarece fiecarui impuls de tact îi corespunde un cod binar, urmarind valorile de la iesirile Q . Astfel de circuite pot fi utilizate pentru comanda succesiva întretesuta a n elemente actuatoare.

În figura 3.35 este prezentata realizarea practica a unui numarator Johnson pe 8 biti si diagramele de semnal aferente.

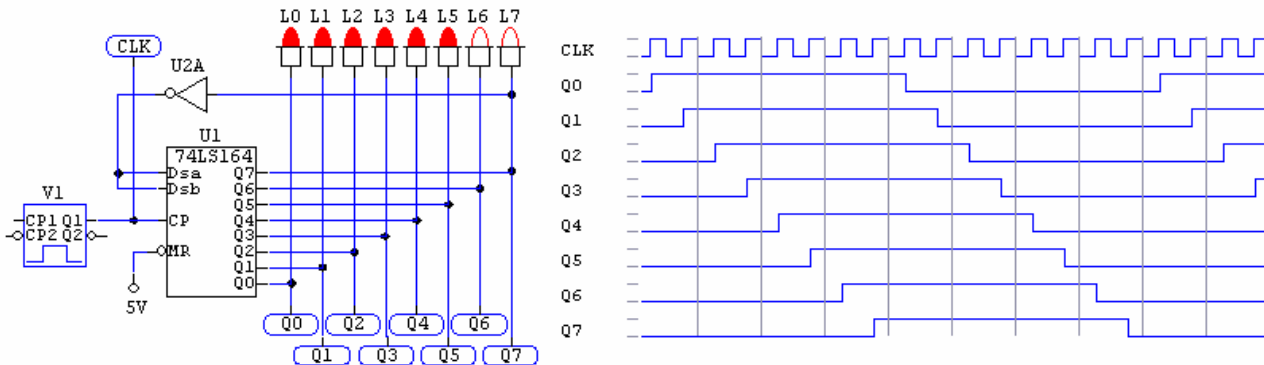


Figura 3.35. Numarator Johnson pe 8 biti cu 74LS164 – schema electrica si diagrame de semnal.

3.6.6. Memoriile FIFO si LIFO

Sunt memoriile temporare organizate pe n cuvinte binare de cate b biti compuse din b registre de deplasare seriale SISO de cate n biti fiecare.

FIFO – *First In First Out* (primul cuvânt scris este primul citit).

LIFO - *Last In First Out* (ultimul cuvânt scris este primul citit).

În funcție de memorie deplasarea poate fi într-un sens sau în ambele sensuri. În cazul în care deplasarea are loc în ambele sensuri, registrul trebuie prevăzut cu o intrare care să indice sensul de deplasare.

Memoria FIFO

Dacă se dorește memorarea a n cuvinte de b biți trebuie utilizate b registre de deplasare, fiecare registru fiind format din n bistabile. În acest caz informația se deplasează într-un singur sens – de la stânga la dreapta. Înscriserea informației se face paralel, la fel și citirea. Primul cuvânt citit este primul cuvânt scris în memorie. Citirea (dar simultan și înscriserea) se realizează pe frontul crescător al impulsurilor de tact.

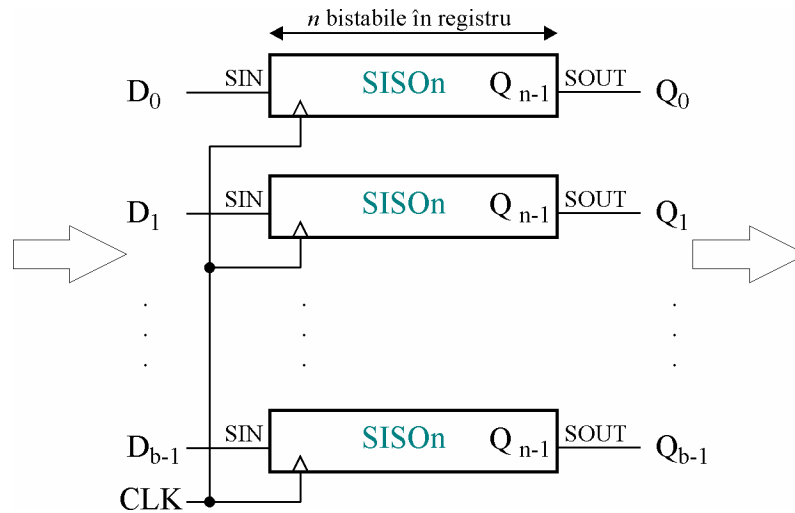


Figura 3.36. Memoria FIFO.

Înscriserea cuvintelor binare de b biți în memorie se face în paralel pe cele b intrări seriale prin aplicarea a câte unui impuls de tact și deplasarea acestora spre dreapta. Citirea se face tot paralel pe cele b ieșiri seriale aplicând în continuare impulsuri de tact.

Memorie este plină atunci când s-au înscris toate cele n cuvinte binare de câte b biți. După umplerea completă a memoriei primul cuvânt citit este primul cuvânt înscris în memorie.

În procesul de citire informația se deplasează în continuare spre dreapta cu fiecare impuls de tact aplicat. **Prin citire, informația se pierde!** Acest tip de memorie poate fi utilizat la gestionarea adreselor altor memorii pe durata întreruperilor unui sistem cu microprocesor.

Memoria LIFO

Pentru această memorie este necesar un registru SISO bidirecțional. În acest caz registrele au o linie R/\bar{L} care specifică sensul deplasării.

Înscriserea cuvintelor se face ca și la memoria FIFO, prin deplasarea spre dreapta a datelor $R/\bar{L} = 1$ iar citirea se face prin deplasarea în sens invers (spre stânga) a acestora $R/\bar{L} = 0$. Astfel ultimul cuvânt înscris este și primul citit. Ieșirile de date sunt reprezentate de ieșirile $Q(n-1)$ ale fiecărui registru.

Memoria LIFO se utilizează ca memorie stivă în sistemele cu microprocesoare.

Sinteza principalelor tipuri de registre

Tip registru	Comuta pe	TTL		CMOS		Observatii, comentarii
		Cod	n	Cod	n	
SISO	Front ↑			4006 4031 4517 4731	18 64 64 64	configurabil 2x4,5,8,9 sau 1x10, 12, 13, 14, 16, 17, 18 1 registru în capsula 2 registre în capsula, prize la 16, 32, 48 si 64 4 registre în capsula
SIPO	Front ↑	74164	8	4015	4	2 registre de 4 biti într-o capsula
PIPO	Front ↑	74174 74374 74574	6 8 8	4042 4076	4 4	3 stari idem 374, alta dispunere pini Latch D cu controlul polaritatii tactului 3 stari
PISO	Front ↑	74165	8			intrari J nK
Combinate	Front ↑	74166 74195 74594 74595 74597	8 8 8 8 8	4014 4021 4035 4094	8 8 4 8	PISO, SISO intrari J nK SISO, PIPO, 2 intrari de tact SISO, PIPO, 2 intrari de tact, 3 stari PIPO, SIPO, PISO PISO, SISO PISO, SISO PIPO, SISO bidirectional, J nK SISO, SIPO, 3 stari
Universale	Front ↓ Front ↑ Front ↑	7495 74194	4 4	40104	4	3 stari

This document was created with Win2PDF available at <http://www.daneprairie.com>.
The unregistered version of Win2PDF is for evaluation or non-commercial use only.